



Presenting an Optimal Method of a Fractional-N Synthesizer to Reduce the Power Consumption of the Phase-Locked Loop with Delta-Sigma Modulator in x-Band Radars

H.Akbarzade¹, S. Talati², M. Alavi^{*3}

Associate Professor, Imam Hossein University, Tehran, Iran

(Received:2023 /05/22, Revised: 2023/06/29, Accepted: 2023/08/04, Published: 2023/08/24)

DOR:<https://dor.isc.ac/dor/20.1001.1.23454024.1402.11.1.1.7>

Abstract

Increasing demand for the integration of wide circuits with low cost, and performance with low power consumption in the form of a chip has become one of the most important issues of the day for designers. Therefore, many efforts have been made to build RF integrated circuits and systems in the GHz frequency range using CMOS technology. The use of frequency synthesizers based on phase lock loops is one of the most important building blocks of a function generator, which has the task of producing the carrier signal and is one of the most important and sensitive function blocks of the generator; Because it works at high frequencies and the contribution of its power consumption in the generator function is high. This research has implemented a design and simulation of a frequency synthesizer for use in X-band radars. The results of this research show that in the synthesizer, the phase noise of the VCO with a carrier frequency of 10 GHz, at an offset of 1 MHz is equal to -106 dBc/Hz. The power of the sideband sources is 55 dBc - shorter than the carrier signal (at a frequency of 10.004 GHz) it arrives.

Keywords: X band, Phase locked loop, Phase noise, Loop filter, Fractional-N

This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license.

Publisher: Imam Hussein University

Authors



*Corresponding Author Email: alavi_m@mapnagroup.com

علمی - پژوهشی

ارائه روشی بهینه در سنتزکننده فرکانسی کسری N- برای کاهش توان مصرفی حلقه قفل فاز با مدولاتور دلتا سیگما در رادارهای باند X

هومن اکبرزاده^۱، سعید طلعتی^۲، سید محمد علوی^{۳*}

۱- دکتری تخصصی ۲- دانشجوی دکتری، دانشگاه علوم و فنون هوایی شهید ستاری، ۳- دانشیار، دانشگاه جامع امام حسین(ع)، تهران، ایران

(دریافت: ۱۴۰۲/۰۳/۰۱، بازنگری: ۱۴۰۲/۰۴/۰۸، پذیرش: ۱۴۰۲/۰۵/۱۳، انتشار: ۱۴۰۲/۰۶/۰۲)

DOR: <https://dor.isc.ac/dor/20.1001.1.23454024.1402.11.1.1.7>

* این مقاله یک مقاله با دسترسی آزاد است که تحت شرایط و ضوابط مجوز Creative Commons Attribution (CC BY) توزیع شده است.

نویسندگان



ناشر: دانشگاه جامع امام حسین (ع)

چکیده

افزایش تقاضا برای یکپارچه‌سازی مدارهای گسترده با هزینه پایین، عملکرد با توان مصرفی پایین در قالب یک تراشه یکی از مهم‌ترین مسائل روز برای طراحان شده است. از این رو تلاش‌های فراوانی برای ساخت مدارات و سیستم‌های مجتمع شده RF در محدوده فرکانسی گیگاهرتز و با استفاده از فناوری CMOS انجام گرفته است. اساساً استفاده از سنتزکننده‌های فرکانسی مبتنی بر حلقه‌های قفل فاز یکی از مهم‌ترین بلوک‌های سازنده یک فانکشن ژنراتور است که وظیفه تولید سیگنال حامل را داشته و یکی از مهم‌ترین و حساس‌ترین بلوک‌های فانکشن ژنراتور است؛ چون در فرکانس‌های بالا کار می‌کند و سهم مصرف توان آن در فانکشن ژنراتور زیاد است. در این پژوهش یک طراحی و شبیه سازی سنتزکننده فرکانسی در نرم‌افزار Cadence RF-Spectre جهت استفاده در رادارهای باند X پیاده‌سازی شده است. نتایج این پژوهش نشان می‌دهد تکنیک خطی‌سازی جدید طراحی شده جریان‌های CP در مقایسه با جریان CP بدون تکنیک خطی‌سازی مطابقت بالایی دارد و حداکثر عدم تطابق حدود ۰٫۴ میکروثانیه در ولتاژ کنترل بین ۰٫۲ تا ۱٫۶ ولت است. مصرف برق کسری N- طراحی شده حدود ۶٫۵۷۹ میکرو وات با یک منبع تغذیه ۱٫۸ ولتی است در سنتزکننده، نویز فاز VCO با فرکانس حامل ۱۰ گیگاهرتز، در آفست ۱ مگاهرتز برابر ۱۰۶ dBc/Hz- است و همچنین توان منابع باند جانبی به ۵۵dBc- کوتاه‌تر از سیگنال حامل (در فرکانس ۱۰٫۰۰۴ گیگاهرتز) رسیده است.

کلیدواژه‌ها: باند X، حلقه قفل فاز، نویز فاز، فیلتر حلقه، کسری N-.

۱- مقدمه

شدن اطلاعات در زمان ارسال، باید اطلاعات را به‌وسیله یک سیگنال حامل فرکانس بالا، به فرکانس‌های بالا منتقل کرده و سپس آن را ارسال نمود. برای تولید سیگنال حامل فرکانس بالا یا سیگنال نوسان‌ساز محلی^۲ (LO) سنتزکننده‌های فرکانسی طراحی می‌شوند، و در آن واحد کانال مخابراتی را انتخاب می‌کنند [۱].

در مرجع [۲] یک تقسیم‌کننده کسری N- با مدولاتور دلتا سیگما و انتخابگر تأخیر فاز برای حلقه قفل فاز انتخاب شده است این مدولاتور سیگما با یک فرآیند CMOS ۶۵ نانومتری طراحی شده است. تقسیم‌کننده پیشنهادی به حداکثر فرکانس کاری ۸٫۵ گیگاهرتز با وضوح فرکانس کمتر از ۲۵ هرتز دست می‌یابد و مصرف برق تقسیم‌کننده کمتر از ۸ میلی‌آمپر از منبع تغذیه ۱٫۲ ولت در ۶ گیگاهرتز است.

در دو دهه اخیر، فناوری مخابرات بسیار با پیشرفت صنایع نیمه‌هادی پیشرفت چشمگیری داشته است. امروزه مردم سراسر دنیا می‌توانند از طریق کانال‌های متفاوتی به‌صورت رایگان با یکدیگر ارتباط داشته باشند. علاوه بر این، مشتری‌های بسیار زیادی برای محصولات الکترونیکی، همانند لپ‌تاپ، تلفن‌های پیشرفته، پخش‌کننده‌های موسیقی و ویدئو وجود داشته و پیدا کردن راهی که این محصولات با یکدیگر در ارتباط باشند خیلی مورد توجه قرار گرفته است. یک سیستم رادیویی قادر به ارسال اطلاعات از یک محیط به محیطی دیگر به‌واسطه هوا یا کابل است. در سیستم مخابراتی بی‌سیم مدرن، ابتدا باید اطلاعات اولیه مدوله شوند سپس برای جلوگیری از تضعیف و یا نویزی

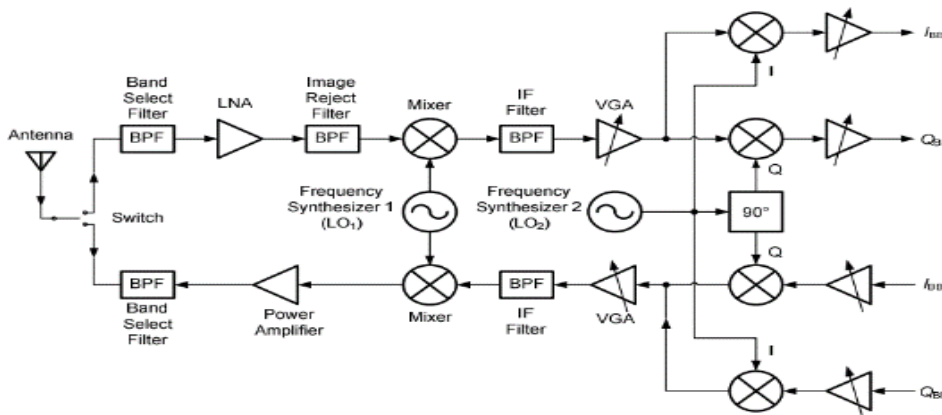
^۲ Local Oscillator (LO)

مرجع [۳] حلقه قفل فازی را پیشنهاد می‌کند که به ۲۶۵ میکرو وات دست می‌یابد. بازخورد سوئیچینگ پیشنهادی می‌تواند منجر به کاهش قابل توجه توان شود. با کاهش تعداد مدارهای فرکانس بالا، مقیاس‌بندی فرکانس مرجع به طور کامل برای کاهش مصرف برق استفاده می‌شود. در روش پیشنهادی ۲۶۵ میکرو وات برق مصرف می‌شود.

در روش پیشنهادی، تحلیل زمانی سیگنال LO اسپلاتور در کمتر از ۵ نانو ثانیه شروع به نوسان کرده و نویز فاز VCO روش پیشنهادی در افسست ۱ مگاهرتز برابر با -106 dBc/Hz است. طیف توان نرمالیزه شده‌ی بلوک دلتا سیگما برای فرکانس مرجع ۵۰ مگاهرتز حدود -150 دسی‌بل است. عمده نویز بلوکهای

پایین‌تر از سطح -130 dBc/Hz است و نویز فاز کل سنتزکننده در حالت کسری (نویز داخل باند سنتزکننده) از کمتر از -70 دسی‌بل شروع به پایین آمدن می‌کند. ولتاژ کنترلی اسپلاتور را برای حالت قفل‌شدگی در فرکانس کانال $10,04$ گیگاهرتز چیزی حدود 150 میکروواتی است. منابع تن‌های طیف توان سیگنال LO برای سنتزکننده با فرکانس مرجع 50 مگاهرتز حدود 55 dBm کوتاه‌تر از سیگنال حامل است. همچنین لازم به ذکر است که مدارات طراحی‌شده‌ی کل سنتزکننده‌ی این مقاله با دمای 85 درجه سلسیوس نیز آزموده شده است.

شکل (۱). معماری نوعی از یک فرستنده گیرنده سوپرهتروداین* [۳]



مطابق شکل (۱) ارسال و دریافت سیگنال مدوله‌شده در یک فرکانس یکسان انجام می‌شود. سیگنال فرکانس رادیویی^۱ (RF) به فضا ارسال می‌شود و به وسیله آنتن دریافت می‌شود. سپس آن را از طریق یک فیلتر میان گذر^۲ (BPF) عبور داده تا تداخل سیگنال‌های همسایه حذف شوند. در همین حین باند RF مورد نظر انتخاب می‌شود. سپس توسط یک تقویت‌کننده کم نویز^۳ (LNA) تقویت‌شده تا سیگنال به یک سطح توان قابل قبولی برسد و بعد از آن سیگنال تصویر^۴ توسط یک فیلتر حذف‌شده، سپس سیگنال داخل یک میکسر پایین گذر می‌شود و به فرکانس‌های میانی^۵ (IF) منتقل می‌شود. در میکسر، سیگنال RF دریافت شده با سیگنال LO تولیدشده توسط سنتزکننده فرکانسی Mix می‌شوند و سیگنال IF تولید می‌شود و نسبت فرکانسی بین آن‌ها

به صورت رابطه (۱) خواهد بود [۱]:

$$f_{IF} = |f_{RF} - f_{LO}| \quad (1)$$

مطابق رابطه (۱)، فرکانس سیگنال LO می‌تواند کمتر یا بیشتر از فرکانس سیگنال RF باشد. معمولاً برای حذف سیگنال‌های ناخواسته از یک فیلتر IF استفاده می‌شود و برای نگهداشتن سطح سیگنال به صورت ثابت، سیگنال توسط یک تقویت‌کننده با بهره متغیر^۶ بیشتر تقویت می‌شود. یک سنتزکننده‌ی دیگر نیز برای تولید دومین سیگنال LO مورد نیاز است، که با سیگنال IF مخلوط^۷ خواهد شد و سیگنال باند پایه را تولید می‌کند.

۲- معماری کسری -N^۸

مفهوم "حلقه قفل" در سال ۱۹۳۰ شناخته شد. بعد از آن، از این مفهوم به شکل گسترده‌ای در شاخه‌هایی همانند الکترونیک،

* Super-heterodyne

^۱ Radio Frequency (RF)

^۲ Band Pass Filter (BPF)

^۳ Low-noise amplifier (LNA)

^۴ Image Signal

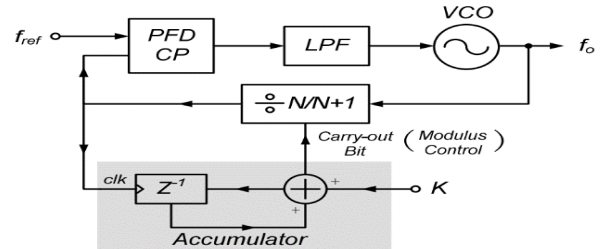
^۵ Intermediate Frequency (IF)

^۶ Variable Gain Amplifier (VGA)

^۷ Mix

^۸ Fractional-N

مهندسی برق و سیستم‌های مخابراتی مورد استفاده قرار گرفت [۴].



شکل (۲). سنتزکننده فرکانسی کسری N- با تقسیم کننده دو حالته [۳]

در یک سنتزکننده فرکانسی کسری N- که در شکل (۲) نشان داده شده است، تقسیم کننده‌ای دو حالته به وسیله یک سیگنال از یک واحد کنترلی تحریک می‌شود که محدوده تقسیم آن بین مقادیر صحیح و مختلف تغییر می‌کند. در نتیجه، در متوسط - زمان^۱، در خروجی تقسیم کننده یک محدوده تقسیم کسری می‌تواند تحقق یابد. اگر تقسیم کننده در K پالس خروجی عمل تقسیم به N را انجام دهد و در F-K پالس در خروجی عمل تقسیم به N+1 انجام دهد، می‌توان گفت که معادله^۲ محدوده تقسیم شده، در خروجی تقسیم کننده برابر با رابطه (۲) است [۳].

$$\frac{K \cdot N + (N + 1) \cdot (F - K)}{F} = N + \frac{F - K}{F} \quad (2)$$

همان طور که در رابطه (۲) دیده می‌شود، N یک عدد صحیح است در حالی که (F-K)/F یک عدد اعشاری است. واحد کنترلی تقسیم کننده را می‌توان به وسیله یک اکومولاتور^۳ پیاده سازی کرد. F سایز تعداد بیت‌های اکومولاتور است. ورودی برنامه پذیر K مقدار عدد اعشاری را تعیین می‌کند. هر زمانی که سرریزی رخ بدهد، بیت حامل^۳ خروجی اکومولاتور، تقسیم کننده را تحریک می‌کند.

باند ارسال آن در بازه ۸۹۰ تا ۹۱۵ مگاهرتز است که شامل ۱۲۴ حامل LO برای ۱۲۴ کانال با پهنای باندهای ۲۰۰ کیلوهرتز است. یک فرکانس ۵۱،۲ مگاهرتز به عنوان مرجع F_ref در نظر گرفته می‌شود، برای رسیدن به گام‌های ۲۰۰ کیلوهرتزی، سایز اکومولاتور باید مقدار رابطه (۳) باشد [۳]:

$$F = \frac{51.2 \text{ MHz}}{200 \text{ KHz}} = 256 \quad (3)$$

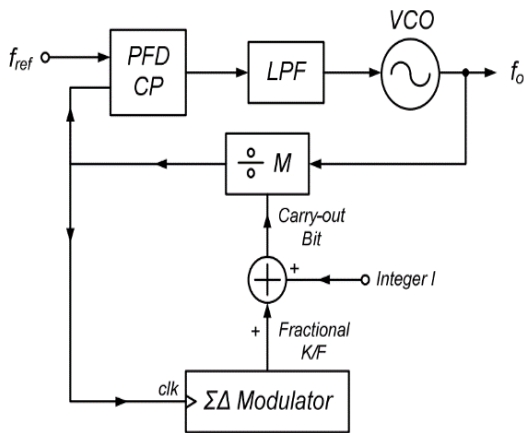
که این مقدار با یک اکومولاتور ۸ بیتی امکان پذیر است و ۱۲۴ فرکانس LO از ۸۹۰ تا ۹۱۵ مگاهرتز به صورت رابطه (۴) قابل

سنتز است [۳]:

$$F_0 = 51.2 \text{ MHz} \cdot \left(17 + \frac{K}{256}\right) \quad (4)$$

در این رابطه F₀ فرکانس مرکزی و K تعداد پالس خروجی است.

در رابطه (۱) عدد صحیح N برابر ۱ بوده و ورودی برنامه پذیر جهت انتخاب کانال‌ها (۲۲۳ و ۹۹ و ۹۸) است. زمانی که حلقه برای یک ورودی برنامه ریزی شده K به حالت پایداری برسد، حلقه فیدبک برای K سیکل از مرجع ورودی بر مقدار ۱۷ تقسیم می‌کند و برای K-256 سیکل مرجع ورودی تقسیم به ۱۸ می‌نماید. نتیجتاً، در مدت زمان مؤثر مقدار محدوده تقسیم کننده معادل (۱۷+K/۲۵۶) است. در مقایسه با نتیجه‌ی معماری Integer-N، سنتزکننده‌های کسری N- می‌توانند از یک فرکانس مرجع بزرگ‌تری استفاده کنند و همین‌طور ضریب تقسیم کننده حلقه خیلی کوچک‌تر می‌شود. داشتن یک فرکانس مرجع بزرگ این امکان را می‌دهد که یک حلقه‌ای با پهنای باند بزرگ حاصل گردد، نتیجتاً ماحصل بالا بودن سرعت حلقه، باعث می‌شود که نویز فاز داخل باند حلقه به خوبی کاسته شود. در نهایت محدوده تقسیم کوچک نشان می‌دهد که نویز فاز پایینی از تقسیم کننده‌ها به حلقه اضافه شود.



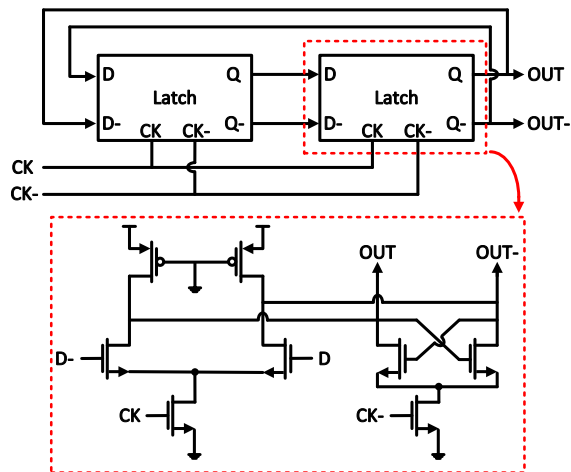
شکل (۳). سنتزکننده‌های فرکانسی N- کسری با مدولاتور دلتا سیگما [۶]

ولی معماری کسری N- منجر به تولید یک سری تن‌های ناخواسته‌ای در نزدیکی سیگنال حامل می‌شود. در عملکرد تقسیم کننده کسری، واحد تقسیم کننده فقط در هر F دوره تناوب از ورودی که در اکومولاتور سرریزی اتفاق می‌افتد تغییر وضعیت^۴ رخ می‌دهد. این تعویض متناوب در محدوده تقسیم کننده باعث تولید مؤلفه‌های از تن‌ها بر روی دامنه

¹ Average-Time
² Accumulator
³ Carry-Out

⁴ Toggle

خروجی VCO برای پایین آوردن خروجی فرکانس بالا به فرکانس پایین باید در دو مرحله تقسیم به ۲ شود تا به حوالی فرکانس ۴ GHz برسد و از آن برای بلوک MMD استفاده شود.



شکل (۴). تصویر تقسیم کننده آنالوگ تقسیم بر دو (DCVSL-R) [۱]

در تقسیم کننده های آنالوگ مرسوم، از 3 (DCVSL) استفاده می-شوند، اما در خروجی مدار DCVSL، مدت زمان رسیدن سطح سیگنال از کم به زیاد 4 بیشتر از مدت زمان رسیدن سطح زیاد به کم 5 است. برای حل مشکل ذاتی تأخیر اضافه اجزای PLHT در مدار DCVSL، با مصالحه بین توان و سرعت مدار DCVSL و با اضافه کردن یک مقاومت به آن، مدل جدید آن یعنی روش DCVSL-R ارائه شده [۱] به صورت رسم شده در شکل (۴)، مقاومت R نشان داده شده باعث افزایش بیش از حد گیت ترانزیستور بار PMOS می شود. در نتیجه با این کار سرعت تقسیم کننده بالا رفته و توان مصرفی آن نیز کاهش می یابد این بلوک یکی از بلوک های حساس و مهم در طرح این سنتز کننده است که در روش پیشنهادی برای فرکانس بالای ۱۳ گیگاهرتز طراحی شده است.

۳-۲- تقسیم کننده چندحالتی (MMD)

نسبت تقسیم اعشاری توسط بلوک MMD و دلتا - سیگما تحقق می پذیرد. شکل (۵) مدار یک تقسیم کننده MMD قابل توسعه پذیر را نشان می دهد که شامل زنجیره از سلول های تقسیم کننده $^{2/3}$ به همراه یک کلید توسعه پذیر است. نرخ تقسیم کنندگی برای MMD با ۷ سلول توسط معادله (۵) تعیین می گردد [۶]:

فرکانسی شده که موقعیت آن ها مضرری از هماهنگ های $F_{refk} \cdot (K/F)$ با توجه به فرکانس حامل می باشند. این تن های معمولاً تن های کسری 1 نامیده می شوند. به لحاظ نظری، این تن های ناخواسته را می توان با استفاده از فیلترهای مرتبه بالاتر از بین برد.

به هر حال، معماری کسری N- به صورت مخصوص برای گام های با فرکانس کوچک و همچنین یک پهنای باند بزرگ طراحی می-شوند؛ بنابراین، عملاً نمی توان تن های کسری را با طراحی فیلترهای مرتبه بالاتر از بین برد.

یک روش مناسب جهت از بین بردن این تن ها، استفاده از جبران سازی کسری است [۱]. برای جلوگیری از تولید تن های بین منابع جریان نا انطباقی کسری، چندین روش ارائه شده است. برای پیاده کردن این ایده، یک مبدل دیجیتال به آنالوگ لازم است که این عمل باعث بالابردن توان مصرفی سیستم و پیچیده شدن معماری می شود. پیچیده شدن معماری، باعث تمایل سیستم به ارسال نویز پهن باند به تقسیم کننده می شود که این باعث پایین آمدن عملکرد نویز سیستم خواهد شد. از نظر عملکرد نویزی، بهترین روش برای تولید سیگنال واحد کنترلی استفاده از مدولاتور دلتا سیگما است [۵-۶].

مدولاتور دلتا سیگما که در ادامه مبسوط شرح داده خواهد شد تقسیم کننده ای دو حالته را به صورت تصادفی کلید می کند بدون اینکه عدد کسری تغییر کند. این تکنیک عملاً پررودیک بودن سوئیچینگ تقسیم کننده دو حالته را به هم می ریزد. در نتیجه، تن های کسری به نویز تصادفی تبدیل می شوند که به آن نویز کوانتیزاسیون 2 گفته می شود. نویز کوانتیزاسیون تولید شده، توسط مدولاتور دلتا سیگما شکل دهی می شود و توان طیف نویز شکل دهی شده در فرکانس های بالاتر از فرکانس سیگنال حامل متمرکز می شوند. از این رو، بیشتر نویز سیگنال حامل تقسیم شده در یک افسر فرکانسی بزرگ متناسب با حامل تقسیم شده پخش می شود. نویز حوالی سیگنال حامل تقسیم شده کوچک است.

۳- پیش تقسیم کننده و تقسیم کننده فرکانسی

برنامه پذیر

۳-۱ مدار تقسیم بر دو

³ Differentail Cascode Voltage-Switch-Logic

⁴ Time power from low to high

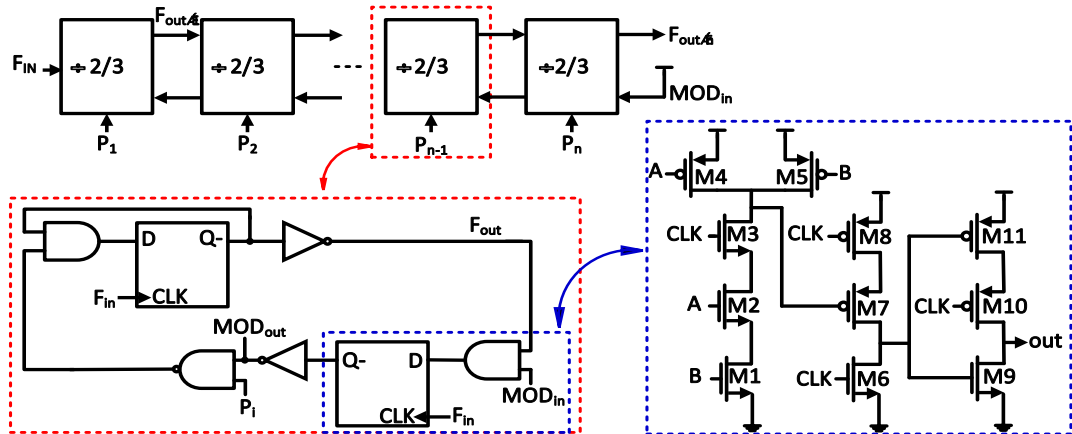
⁵ Time power from high to low

⁶ Multi Module Divider (MMD)

¹ Fractional Spurs

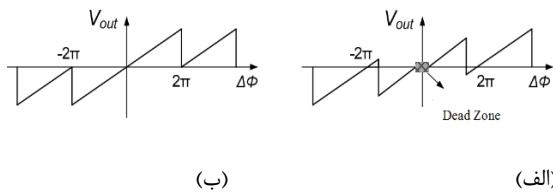
² Quantization Noise

تا $2N-1$ است، که از ۷ بیت کنترلی برای پوشش محدوده ۱۲۸ تا ۲۵۶ استفاده کرده‌ایم. سلول تقسیم‌بر $2/3$ همیشه ورودی را بر ۲ تقسیم می‌کند و در یک حالت اضافی دیگر در هر پریود از خروجی کلی تقسیم‌کننده MMD با شرط اینکه بیت کنترلی P_i فعال باشد (۱) ورودی را بر ۳ تقسیم می‌کند.



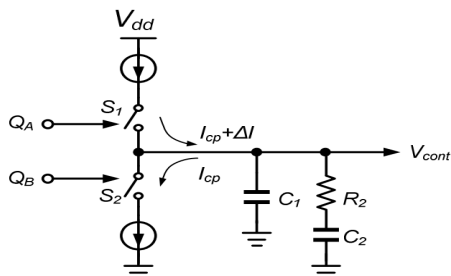
شکل (۵). ساختار تقسیم‌کننده MMD استفاده شده در این پژوهش

تأخیر در مسیر ریست امکان پایین آوردن محدوده آشکارسازی را در PFD در بر دارد. باملاحظه در شکل (۶-الف)، محدوده آشکارسازی فاز در یک PFD واقعی می‌تواند خیلی کمتر از 4π باشد.



شکل (۶). مشخصه ورودی - خروجی از PFD واقعی

(ب) PFD ایده آل [۵]



شکل (۷). عدم تطابق جریان‌های شارژر پمپ [۵]

$$N = \quad (۵)$$

$$2^7 + 2^6 P_7 + 2^5 P_6 + 2^4 P_5 + 2^3 P_4 + 2^2 P_3 + 2^1 P_2 + 2^0 P_1$$

در این معادله N نرخ تقسیم‌کنندگی است و مقادیر P_i بیت‌های کنترلی سلول‌های تقسیم‌بر $2/3$ هستند. از این رو مطابق معادله ۵ برای N سلول تقسیم‌کننده نرخ تقسیم‌کنندگی در محدوده $2N$ تا

جزئیات بیشتر عملکرد سلول $2/3$ در مرجع [۷] در دسترس است. برای کاهش دادن توان مصرفی تقسیم‌کننده‌ها، تمام سلول‌های تقسیم‌کننده $2/3$ را با قفل^۱ مکان زمان تک فاز واقعی^۲ (TSPC) طراحی شده‌اند [۸]. برای بالا بردن سرعت عملکرد سلول تقسیم‌کننده $2/3$ ، تابع AND را با TSPC Latch ادغام کرده. تحقق سلول AND-TSPC Latch در شکل (۵) شرح داده شده است. شبیه‌سازی‌های انجام شده نشان می‌دهد که بلوک MMD در فرکانس بالای ۶ گیگاهرتز کار می‌کند.

۴- Dead-Zone در PFD

زمانی که اختلاف فاز مابین A و B خیلی کم باشد، عرض پالس QA و QB خیلی کوچک است. به دلیل خازن پارازیتی در گیت کلید داخل مدار شارژر پمپ، یک پالس با پهنای کوچک قادر به روشن کردن یا خاموش کردن کلیدها به صورت کامل نیست. این محدوده فاز کوچک که PFD نمی‌تواند آن را آشکار کند، “Dead Zone” می‌نامند. Dead Zone را می‌توان در یک طراحی خوب کمینه کرد؛ یک روش ساده برای این کار، افزایش تأخیر در مسیر شروع مجدد^۳ PFD است. جدا از گیت AND، تعدادی طبقه معکوس‌کننده^۴ اینورتر بعد از گیت AND را می‌توان برای افزایش تأخیر مسیر استفاده کرد. نتیجتاً، عرض پالس QA و QB زیاد می‌شود و توانایی تحریک کردن کلیدها را دارند. به هر حال، وجود

^۱ latch

^۲ True Single-Phase Clocked

^۳ reset

^۴ inverter

۵- طراحی مدولاتور دلتا - سیگمای دیجیتال^۱

مدولاسیون دلتا - سیگما تکنیکی است برای بهبود رزولوشن مؤثر یک کوانتایزر با استفاده از روش‌های نمونه‌برداری بیش از حد^۲ و شکل‌دهی نویز آیدیه‌ای اصلی در این تکنیک حذف نویز کوانتایزر در محدوده فرکانسی موردنظر با استفاده از فیدبک منفی است. به حذف نویز کوانتایزر باند فرکانسی موردنظر، شکل‌دهی نویز گفته می‌شود. اگر توان نویز کوانتایزر در محدوده پهنای باند سیگنال ورودی ناچیز باشد، در خروجی کوانتایزر می‌توان نسبت سیگنال به نویز بسیار نزدیک به SNR سیگنال ورودی کوانتایزر داشت. از این رو می‌توان یک مدولاتور دلتا - سیگما را به‌عنوان بلوکی در نظر گرفت که یک ورودی با دقت بالا را گرفته و آن را تبدیل به یک خروجی با دقت پایین می‌کند در حالی که کاهش نسبت سیگنال به نویز در این تبدیل بسیار کم است.

بلوک در PLLهای کسری امکان ایجاد تغییرات فرکانسی فوق-العاده کم را در خروجی سیستم فراهم می‌کند. به‌عنوان مثال اگر مدولاتور استفاده‌شده در ساختار PLL، n بیتی باشد، می‌توان با تغییر ورودی مدولاتور تغییرات فرکانسی در حد $\Delta f = \frac{1}{2^n} f_{ref}$ را در خروجی ایجاد کرد. از مدولاتورهای دلتا - سیگمای دیجیتال در ساختار مُبدل‌های دیجیتال به آنالوگ نیز استفاده می‌شود.

دیگرام بلوکی یک مدولاتور دلتا - سیگمای ساده در شکل (۸-الف) نشان داده‌شده است. در ساختار این مدولاتور از یک کوانتایزر و دو فیلتر دیجیتالی $F(z)$ و $G(z)$ استفاده شده است. می‌توان با جایگزینی کوانتایزر یا منبع نویز کوانتایزاسیون $eq[n]$ به مُدل خطی شده مدولاتور رسید. با توجه به قسمت (ب) شکل می‌توان $Y(z)$ را برحسب سیگنال ورودی $X(z)$ و نویز کوانتایزاسیون $Eq(z)$ به صورت رابطه (۶) به دست آورد [۶]

$$Y(z) = STF(z)X(z) + NTF(z)Eq(z) \quad (6)$$

که در آن $STF(z)$ ^۵ و $NTF(z)$ ^۶ به ترتیب تابع تبدیل سیگنال ورودی و نویز بوده و به صورت روابط (۷) و (۸) قابل محاسبه‌اند:

$$STF(z) = \frac{F(z)}{1 + F(z)G(z)} \quad (7)$$

$$NTF(z) = \frac{1}{1 + F(z)G(z)} \quad (8)$$

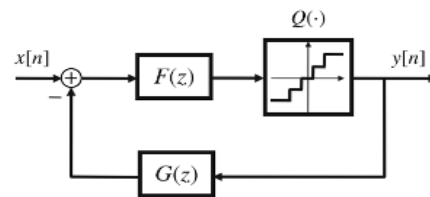
توابع تبدیل $F(z)$ و $G(z)$ معمولاً به صورتی انتخاب می‌شوند که سیگنال ورودی بدون تضعیف از مدولاتور عبور کند یا به عبارت دیگر $STF(z)$ به صورت یک تابع تبدیل تمام‌گذر باشد و از طرف دیگر نویز کوانتایزاسیون در محدوده‌ای باند فرکانسی سیگنال ورودی تا حد امکان تضعیف شود. با توجه به این‌که سیگنال‌های ورودی مدولاتور معمولاً از نوع پایین‌گذر هستند؛ لذا طراحی مدولاتور باید به نحوی باشد که $NTF(z)$ به صورت بالاگذر باشد. با فرض روابط (۹) و (۱۰):

$$F(z) = \frac{1}{1 - Z^{-1}} \quad (9)$$

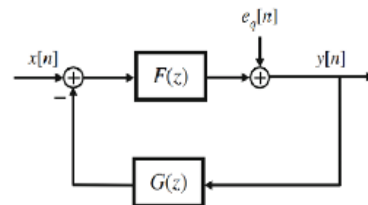
$$G(z) = Z^{-1} \quad (10)$$

که در آن $F(z)$ تابع تبدیل یک انتگراتور بوده و $G(z)$ به صورت یک بلوک تأخیر قابل پیاده‌سازی است، مطابق روابط (۱۱) و (۱۲) خواهیم داشت:

$$STF(z) = 1 \quad (11)$$



(الف) مدولاتور دلتا سیگما



(ب) مُدل خطی

شکل (۸). دیگرام بلوکی (الف) یک مدولاتور دلتا - سیگما از نوع

Single quantizer (ب) مُدل خطی شده آن [۶]

مدولاتورهای دلتا - سیگما مورد استفاده در سنتزکننده‌های فرکانسی از نوع دیجیتالی بوده و با استفاده از بلوک‌هایی مانند جمع‌کننده و فیلپ فلاپ D پیاده‌سازی می‌شوند. از مدولاتور دلتا - سیگما در سنتزکننده‌های فرکانسی به منظور تولید سیگنال کنترل‌کننده نسبت تقسیم در تقسیم‌کننده^۴ به نحوی که عملکرد مدار متناوب نباشد، استفاده می‌شود. همچنین استفاده از این

¹ Digital Delta-Sigma Modulator (DDSM)

² Oversampling

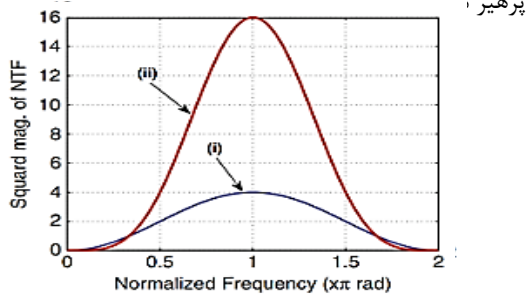
³ Noise Shaping

⁴ Divider

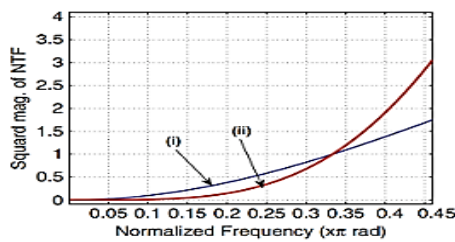
⁵ Signal Transfer Function (STF)

⁶ Noise Transfer Function (NTF)

این اثر می‌توان مرتبه فیلتر پایین‌گذر در حلقه‌ی سنتزکننده را افزایش داد که این امر پایداری سیستم را تحت تأثیر قرار داده و حاشیه فاز سیستم را کاهش می‌دهد. بنابراین معمولاً مدولاتورهای مورد استفاده در سنتزکننده‌های فرکانسی از مرتبه ۲ یا ۳ انتخاب شده و از به‌کارگیری مدولاتورهای با مرتبه بالاتر

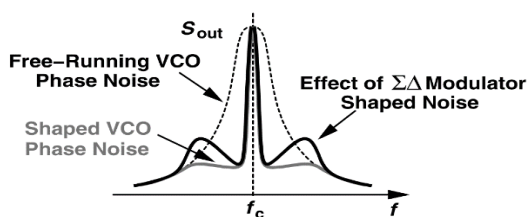


(الف) طیف مرتبه اول و دوم



(ب) بزرگ‌نمایی شده فرکانس‌هایی پایین

شکل (۹). مقایسه توان دوم اندازه تابع تبدیل نویز مدولاتور مرتبه اول (منحنی i) و مدولاتور مرتبه دوم (منحنی ii) و (ب) بزرگ‌نمایی بخش فرکانس پایین قسمت (الف) [۹]



شکل (۱۰). اثر نویز مدولاتور دلتا - سیگما در نویز فاز خروجی سنتزکننده [۷]

باتوجه به توضیحات ارائه‌شده در مرجع [۹] SQNR در خروجی یک مدولاتور مرتبه یک از رابطه (۱۶) قابل محاسبه است [۹]:

$$SQNR_{dB} \approx 10 \log \frac{P_{sig}}{\delta_e^2} - 10 \log \left(\frac{\pi^2}{3} \right) + 30 \log(OSR) \quad (16)$$

که در رابطه (۱۶) مقدار P_{sig} توان سیگنال بوده، δ_e^2 واریانس نویز کوانتایزر بوده و OSR نرخ فرا نمونه‌برداری سیگنال ورودی است که از رابطه (۱۷) قابل محاسبه است [۹]:

$$NTF(z) = 1 - Z^{-1} \quad (12)$$

واضح است که تابع تبدیل نویز به‌دست‌آمده در این حالت به‌مانند یک فیلتر مرتبه یک بالاگذر بوده و تابع تبدیل سیگنال به‌صورت تمام‌گذر است. برای درک بهتر رفتار سیستم در حوزه فرکانس با جای‌گذاری $Z=e^{j\omega}$ توان دوم اندازه‌ی NTF به‌صورت رابطه (۱۳) به‌دست می‌آید:

$$\begin{aligned} NTF(e^{j\omega}) &= 1 - e^{-j\omega} \\ &= 1 - \cos(\omega) + j\sin(\omega) \\ \rightarrow |NTF(e^{j\omega})|^2 &= (1 - \cos(\omega))^2 + \sin^2(\omega) \quad (13) \\ \rightarrow |NTF(e^{j\omega})|^2 &= (2 \sin(\frac{\omega}{2}))^2 \end{aligned}$$

باتوجه به رابطه (۱۳) ملاحظه می‌شود که ماکزیمم مقدار $|NTF(e^{j\omega})|^2$ در $\omega=\pi$ بوده و مقداری برابر با ۴ دارد. برای یک مدولاتور مرتبه n با تابع تبدیل نویز برابر با $NTF(z)=(1-Z^{-1})^n$ ، توان دوم اندازه‌ی NTF به‌صورت رابطه (۱۴) است:

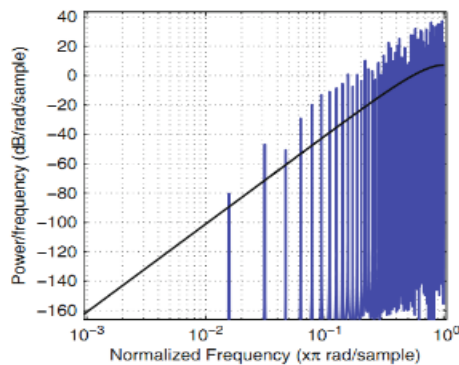
$$|NTF(e^{j\omega})|^2 = (2 \sin(\frac{\omega}{2}))^{2n} \quad (14)$$

بوده و بیشینه‌ای برابر با $4n$ دارد. از این‌رو هر چه مرتبه سیستم بزرگ‌تر باشد بیشینه اندازه تابع تبدیل نویز آن بزرگ‌تر خواهد بود. برای بررسی رفتار مدولاتور مرتبه n در مؤلفه‌های فرکانس پایین با فرض $\omega=0$ از رابطه (۱۵) استفاده می‌شود:

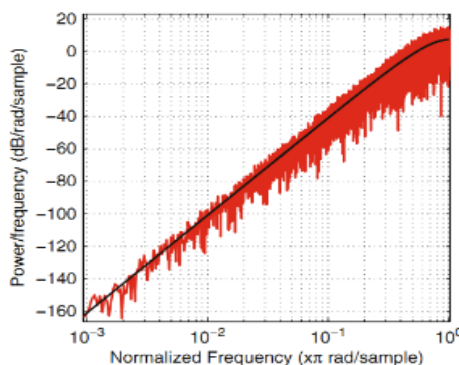
$$|NTF(e^{j\omega})|^2_{\omega=0} = (2(\frac{\omega}{2}))^{2n} = \omega^{2n} \quad (15)$$

باتوجه به رابطه (۱۵)، واضح است که با کاهش ω اندازه پاسخ فرکانسی نویز کاهش می‌یابد و هر چه مرتبه مدولاتور بزرگ‌تر باشد میزان کاهش اندازه پاسخ فرکانسی در فرکانس‌های پایین، بیش‌تر خواهد بود. در شکل (۹) توان دوم اندازه تابع تبدیل نویز مدولاتور مرتبه یک و دو رسم شده است [۹]. چنانچه انتظار می‌رفت منحنی مربوط به مدولاتور مرتبه دوم دامنه‌ی کوچک‌تری در بخش‌های فرکانس پایین طیف داشته و بنابراین مؤلفه‌های فرکانس پایین نویز کوانتیزاسیون را بیشتر تضعیف می‌کند. با این‌وجود مدولاتور مرتبه دو در بخش‌های فرکانس بالای طیف دامنه‌ی بزرگ‌تری داشته و در نتیجه نویزهای فرکانس بالا را بیش‌تر تقویت می‌کند. با توجه به این‌که در سنتزکننده فرکانسی مؤلفه‌های فرکانس پایین نویز مدولاتور از حلقه عبور کرده و مستقیماً به خروجی PLL راه می‌یابند مطلوب است که با افزایش مرتبه مدولاتور دامنه‌ی نویز خروجی این بلوک در مؤلفه‌های فرکانس پایین، تضعیف شود. از طرف دیگر استفاده از مدولاتورهای مرتبه بالا باعث تقویت دامنه نویزهای فرکانس بالا در خروجی مدولاتور شده و نویز فاز خارج باند خروجی سنتزکننده را به‌شدت افزایش می‌دهد (شکل ۱۰). برای تضعیف

می‌شود؛ بنابراین در طراحی مدولاتورهای دلتا - سیگما می‌بایست از کافی بودن کمترین میزان دوره تناوب خروجی مدولاتور اطمینان حاصل شود.



(الف) شرط اولیه صفر



(ب) شرط اولیه فرد

شکل (۱۱). چگالی طیف توان خروجی مدولاتور ۱۴ بیتی مرتبه ۳ (الف) با شرایط اولیه صفر (ب) شرایط اولیه فرد

جدول ۱ خلاصه‌ای از عملکرد کلی چیب را ارائه می‌دهد، همین‌طور جدول ۲ توان مصرفی بلوک‌های سازنده سنتزکننده طراحی شده را نشان می‌دهد. ماکزیمم توان مصرفی برابر ۶،۵۷۹ میکرو وات است. در این ساختار برای پوشش محدوده فرکانسی موردنظر از دو هسته LC-VCO استفاده شده، که یکی از این دو برای پوشش باند ۱۰ تا ۱۲ گیگاهرتز است (HB-VCO) و دیگری برای پوشش باند ۸ تا ۱۰ گیگاهرتز است (LB-VCO).

جدول (۲): توان مصرفی بلوک‌های سازنده سنتزکننده

Block	Power Consumption (μW)	For HB-VCO on: 5.029 μW
PFD	19.547	
Charge Pump	36.5	
Modular Divider	360	
CML Divider1	1850	

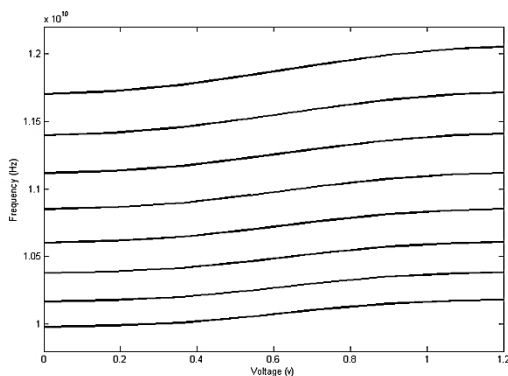
$$OSR = \frac{f_s}{2f_b} \quad (17)$$

در رابطه (۱۷)، f_s فرکانس نمونه‌برداری سیگنال ورودی بوده و f_b پهنای باند سیگنال ورودی مدولاتور است. با توجه به رابطه (۱۶) واضح است که با افزایش فرکانس کار مدولاتور (f_s)، OSR افزایش یافته و در نتیجه $SQNR$ سیستم افزایش می‌یابد. به‌عنوان مثال با دو برابر شدن f_s ، نسبت $SQNR$ در خروجی مدولاتور مرتبه یک به میزان ۹ دسی‌بل افزایش می‌یابد. این مطلب را می‌توان به صورت شهودی به این صورت توضیح داد که با افزایش فرکانس کار مدولاتور، ماکزیمم منحنی اندازه تابع تبدیل نویز به فرکانس‌های بالاتر منتقل شده و در نتیجه منحنی شکل (۱۰) به صورت افقی گسترش یافته و لذا دامنه نویز کاهش می‌یابد. در حالت کلی در یک مدولاتور مرتبه n با تابع تبدیل نویز به صورت $NTF(z) = (1-Z^{-1})^n$ به ازای دو برابر شدن OSR ، $SQNR$ به میزان $(6n+3)$ dB بهبود می‌یابد. علاوه بر مباحث مربوط به نویز خروجی مدولاتور، نکته‌ی دیگری که می‌بایست در طراحی مدولاتور مدنظر قرار گیرد عاری بودن طیف خروجی مدولاتور از تن‌های کسری است. به‌عنوان مثال ممکن است پس از پیاده‌سازی مدولاتور، چگالی طیف توان خروجی آن به جای اینکه منحنی همواری مانند شکل (۱۱-ب) باشد، مشابه شکل (۱۱-الف) باشد. برای اینکه در خروجی مدولاتور چگالی طیف توان همواری داشته باشد می‌بایست شرایط زیر برقرار باشد:

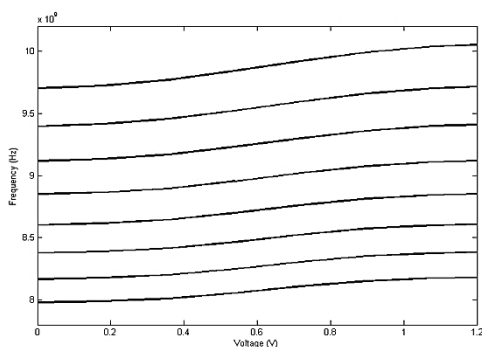
- نویز کوانتیزاسیون دارای توزیع یکنواخت بوده و میانگین صفر داشته باشد؛
- این نویز مستقل از ورودی باشد؛
- اشکال تأخیر یافته نویز نسبت به هم ناهمبسته باشند.

این شرایط در مدولاتورهای مرتبه اول و مرتبه دوم با ورودی ثابت برقرار نیست؛ از این رو چگالی طیف توان در خروجی این مدولاتورها یکنواخت نبوده و دارای تن‌های کسری خواهد بود. علاوه بر شرایط فوق برای رسیدن به طیف هموار در خروجی مدولاتور باید دوره تناوب سیگنال خروجی مدولاتور به اندازه کافی بزرگ باشد. بر مبنای رابطه پارسوال با کوتاه‌بودن دوره تناوب خروجی مدولاتور، تعداد کمتری از تن‌ها در طیف خروجی ظاهر خواهند شد و در نتیجه توان خروجی بر روی تعداد کمتری از تن‌های گسسته پخش شده و توان اختصاص یافته به هر تن افزایش می‌یابد. با افزایش دوره تناوب خروجی، توان بر روی تعداد بسیار بیشتری از مؤلفه‌های فرکانسی توزیع شده در نتیجه توان اختصاصی به هر تن کاهش یافته و انرژی مربوط به تن‌های کسری حالت نویز به خود گرفته و در یک محدوده فرکانس توزیع

نشان داده شده است که نویز داخل باند آن حدود 150 - دسی بل است. نویز فاز بلوک PFD و CP مشترکاً در شکل (۱۵) نشان داده شده است. عمده نویز این دو بلوک نویز فلیکر است که در این ساختار پیشنهادی نویز پایین تر از سطح 130 dBc/Hz - است. در نهایت نویز فاز کل سنتزکننده را در حالت کسری را در شکل (۱۶) نشان داده شده است که نویز داخل باند سنتزکننده از کمتر از 70 - دسی بل شروع به پایین آمدن می کند. ولتاژ کنترلی اسیلاتور را برای حالت قفل شدگی در فرکانس کانال 10.04 گیگاهرتز در شکل (۱۷) نشان داده شده است. زمان قفل شدگی برای این کانال چیزی حدود 150 میکروثانیه است. شکل (۱۸) طیف توان سیگنال LO را برای سنتزکننده با فرکانس مرجع 50 مگاهرتز را نشان می دهد. منابع تنها حدود 55 dBm کوتاه تر از سیگنال حامل هستند. همچنین لازم به ذکر است که مدارات طراحی شده کل سنتزکننده این پژوهش در گوشه SS با دمای 85 درجه سلسیوس نیز آزموده شده است.



HB-VCO



LB-VCO

شکل (۱۱). منحنی تغییرات فرکانس خروجی VCO به ازای تغییر ولتاژ کنترلی برای 6 sub-band

همان طور که در شکل (۱۱) قابل مشاهده است، دو هسته VCO به درستی قابلیت پوشش محدوده فرکانسی ۸ تا ۱۲ گیگاهرتز را دارند. نحوه کارکرد آنها هم به این صورت است که خازنهای

جدول (۱): خلاصه ای از نتایج شبیه سازی شده سنتزکننده ای

Parameter	simulation Value
Technology	180-nm Standard CMOS
VCO frequency range	8-12 GHz
VCO type	LC-QVCO
Reference frequency	50 MHz
Step size	6 KHz (13 bit $\Delta\Sigma$ modulator)
Reference spur level	-53 dBm
Phase noise 100-KHz ($F_{out} = 10$ GHz)	-96 dBc/Hz
Phase noise 1-MHz ($F_{out} = 10$ GHz)	-118 dBc/Hz
Settling time	40 μ s
Supply voltage	1.8 V
power consumption	5.029-6.579 μ w

CML Divider1	855.7	For LB-VCO on: 6.579 μ W
HB & LB VCO with buffers	3100	
DSM	57.5	

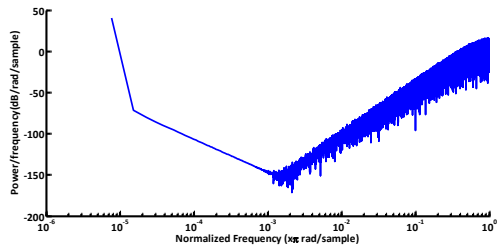
۶- تحلیل نتایج

سنتزکننده فرکانسی کسری N- پیشنهاد شده در فناوری 180 نانومتری CMOS استاندارد با استفاده از یک منبع تغذیه 1.8 ولتی طراحی شده است. شبیه سازی ها در نرم افزار Cadence RF-Spectre انجام شده و نتایج شبیه سازی های به دست آمده در این قسمت ارائه شده است.

قسمت (الف و ب) شکل (۱۱) شبیه سازی منحنی تغییرات فرکانس خروجی VCO ها را به ازای تغییرات ولتاژ کنترلی برای آرایه ای از خازن های کلید شده^۱، نشان می دهد. در کل باند شبیه سازی شده، KVCO ای تقریباً برابر با 300 مگاهرتز با تغییر پذیری کمتر از 20% را در کل محدوده پوششی نشان می دهد. همچنین در شکل (۱۲) تحلیل زمانی سیگنال LO اسیلاتور نشان داده شده است که در کمتر از 5 ns شروع به نوسان می کند. شکل (۱۳) شبیه سازی نویز فاز را برای اسیلاتور در فرکانس 10 گیگاهرتز نشان می دهد که نویز فاز VCO در افسست 1 مگاهرتز برابر با 106 dBc/Hz - است. در شکل (۱۴) طیف توان نرمالیزه شده بلوک دلتا سیگما را برای فرکانس مرجع 50 مگاهرتز

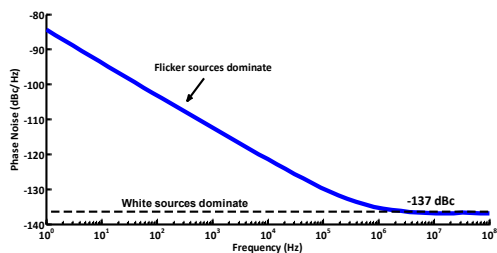
¹ Switched-Capacitor

در شکل (۱۳) نویز فاز VCO را در بسامد حوالی ۱۰ گیگاهرتز مشاهده می‌شود که در آفست فرکانسی ۱ مگاهرتز برابر 107 dBc/Hz و در آفست فرکانسی ۱۰ مگاهرتز برابر 126 dBc/Hz است. باتوجه به فرکانس کاری بالای اسیلاتور نویز به دست آمده کاملاً مناسب است.



شکل (۱۴). طیف توان نرمالیزه شده نویز بلوک دلتا سیگما در فرکانس مرجع 50 MHz

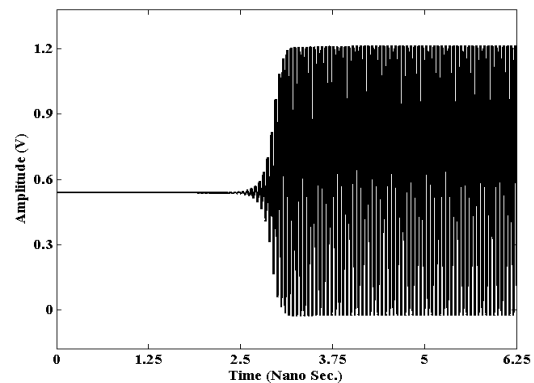
در سنتزکننده‌های فرکانسی نوع کسری، دلتا - سیگما یکی از مهم‌ترین بلوک‌های حساس نویزی در حلقه است، از آن جهت که این بلوک وظیفه تولید اعداد اعشاری برای قسمت تنظیم مناسب فرکانس را دارد. باید نویز این بلوک بسیار ناچیز باشد تا سطح نویز کل سنتزکننده مانعی جهت کارکرد مناسب سنتزکننده نباشد. دقت بکار گرفته شده در این بلوک قابلیت تنظیم فرکانسی در گام‌های ۶ کیلوهرتز را به کاربر می‌دهد. نویز این بلوک همان‌طور که نشان داده شده است در محدوده نزدیک به 150 dBc/Hz می‌رسد که عملکرد عالی این نوع روش بکار گرفته شده را نشان می‌دهد.



شکل (۱۵). نویز فاز بلوک PFD/CP

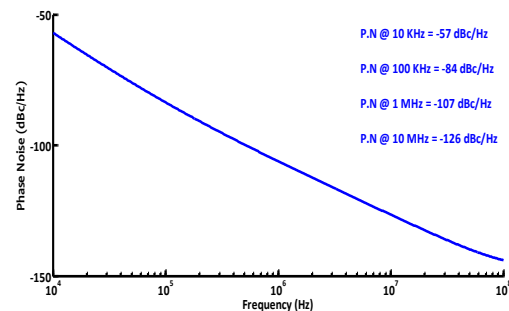
همچنین در شکل (۱۵) نویز بلوک PFD و CP به همراه هم آورده شده است، به دلیل بالابودن نویز فلیکرها و نویز جیتر این بلوک‌ها نویز فاز سنتزکننده به این بلوک حساس بوده و پایین آوردن این سهم از نویز عملکرد مطلوبی را برای کل حلقه در پی خواهد داشت. در فرکانس ۱۰۰ هرتز سهم این نویز کمتر از 105 dBc/Hz است و در نهایت کف نویز آن به حدود 137 dBc/Hz می‌رسد که مناسب به کارگیری در حلقه است.

کلید شده موجود در هسته VCOها مطابق دستوری که از سوی کاربر داده می‌شود به مدار اضافه شده و یا اینکه خارج می‌شوند (درواقع این عمل همان کلید محدوده انتخاب‌گر موجود در دستگاه فانکشن ژنراتور است). حال بعد از تنظیم خازن‌ها که محدوده بازه فرکانسی را با آن‌ها تنظیم می‌کنند، با استفاده از ولتاژ خط کنترلی ارسال شده به دو خازن متغیر موجود در هر VCO به صورت دقیق می‌توان به فرکانس LO مورد نظر رسید (این عمل نیز مشابه ولوم تنظیم مناسب فرکانس^۱ تعبیه شده در دستگاه فانکشن ژنراتور است). در صورت ساخت این تراشه، می‌توان به راحتی قابلیت دیجیتالی کردن انتخاب فرکانس را برای کاربر مهیا کرد.



شکل (۱۶). شکل موج تحلیل زمانی خروجی VCO

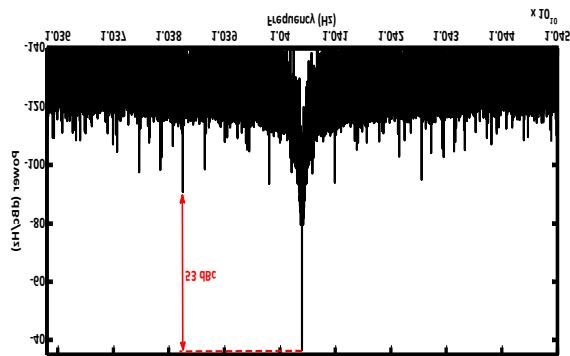
شکل (۱۶) سرعت هسته VCOها را جهت نوسان کردن نشان می‌دهد، همان‌طور که نشان داده شده است، VCO در کمتر از ۵ نانوثانیه شروع به نوسان می‌کند و از سرعت عمل بسیار بالای برخوردار است.



شکل (۱۷). نویز فاز خروجی VCO

^۱ Fine Frequency Tuning

رفتار قفل شدن سنتزکننده در مُد کسری برای فرکانس ۱۰,۰۰۴ گیگاهرتز در شکل (۱۷) نشان داده شده است. همین طور در شکل (۱۸) می توان مشاهده کرد که حلقه در کمتر ۴۰ میکروثانیه از لحظه خاموش بودن تا قفل شدن زمان می برد که نشان دهنده سرعت بسیار بالای حلقه جهت برطرف کردن نیاز کاربر است.



شکل (۱۸). طیف توان سیگنال LO خروجی سنتزکننده در حالت قفل شدگی برای فرکانس 10 گیگاهرتز

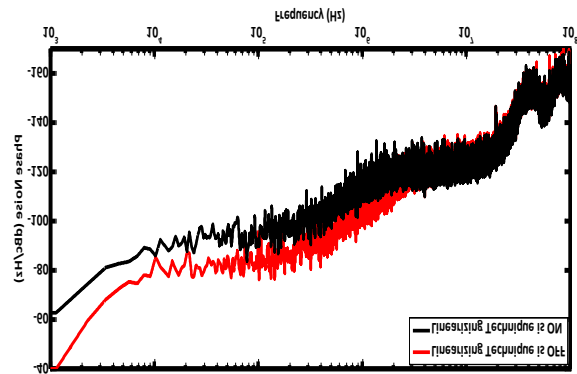
در شکل (۱۸) طیف توان سیگنال LO نشان داده شده است. طیف توان سیگنال LO سنتزکننده در حالت کسری برای فرکانس تنظیم شده ۱۰,۰۰۴ گیگاهرتز در شکل (۱۸) آورده شده است، همان طور که در شکل (۱۸) قابل مشاهده است بالاترین سطح تن-های کسری به ۵۳ dBm- پایین تر از خود سیگنال اصلی LO می رسند که در این بازه فرکانسی و با فناوری CMOS مناسب است. جدول ۳ به مقایسه این طرح پژوهشی با سایر روش های بررسی شده می پردازد.

جدول (۳): مقایسه سنتزکننده های فرکانسی کسری N-

Parameter	This Work	Reference[2]	Reference[17]	Reference[18]	Reference[19]	Reference[20]
CMOS Process	180-nm	65-nm	28-nm	40-nm	40-nm	65-nm
VCO frequency range	8-12 GHz	2.01-3.01 GHz	2.05-2.55GHz	1.8-2.5 GHz	2.1-2.7 GHz	2.0-2.8 GHz
VCO type	LC-Osc	LC-Osc	LC-Osc	LC-Osc	LC-Osc	LC-Osc
Reference frequency	50 MHz	10 MHz	40 MHz	N/A	32 MHz	52 MHz
power consumption	6.579 μ w	265 μ w	1600 μ w	673 μ w	860 μ w	980 μ w

۷- نتیجه گیری

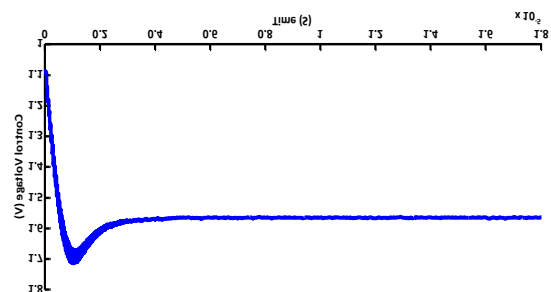
در این مقاله یک حلقه قفل کسری N- یکپارچه برای پوشش باند X ارائه شده و از تکنیک جدید خطی سازی مدار CP برای دستیابی به جریان های شارژ، تخلیه خطی و منطبق بر حذف نویز



شکل (۱۶). نویز فاز کل سنتزکننده در حالت کسری

در نهایت نویز فاز کل سنتزکننده در شکل (۱۶) نشان داده است که نویز فاز آن از -60 dBc/Hz شروع به کاستن می کند. پهنای باند بکار گرفته شده در این سنتزکننده برابر ۲۰۰ کیلوهرتز بوده است.

نویز فاز کل سنتزکننده در آفست ۱۰ کیلوهرتز برابر -88 dBc/Hz در آفست ۱ کیلوهرتز برابر -96 dBc/Hz و در آفست ۱ مگاهرتز برابر -118 dBc/Hz است.



شکل (۱۷). ولتاژ کنترلی اسپلاتور در طول نشست و قفل شدگی حلقه

جدول ۳ به مقایسه روش پیشنهادی با پیشرفته ترین سنتزکننده های کسری N می پردازد. روش پیشنهادی با وجود کارکرد در فرکانس باند X کاهش مصرف برق حداقل ۲۵۸ میکرو وات را نسبت به سایر روش های بررسی شده دارد که علت این امر استفاده از چیدمان فشرده بافر و روش نمونه برداری است.

Differential-Voltage Domain," in IEEE Journal of Solid-State Circuits, vol. 56, no. 4, pp. 1254-1264, April 2021, doi: 10.1109/JSSC.2020.3047431.

13. Y. Chen, J. Gong, R. B. Staszewski and M. Babaie, "A Fractional-N Digitally Intensive PLL Achieving 428-fs Jitter and <-54 -dBc Spurs Under 50-mVpp Supply Ripple," in IEEE Journal of Solid-State Circuits, vol. 57, no. 6, pp. 1749-1764, June 2022.

14. W. Wu et al., "32.2 A 14nm Analog Sampling Fractional-N PLL with a Digital-to-Time Converter Range-Reduction Technique Achieving 80fs Integrated Jitter and 93fs at Near-Integer Channels," 2021 IEEE International Solid-State Circuits Conference (ISSCC), 2021, pp. 444-446.

15. Q. Zhang, S. Su, C. -R. Ho and M. S. -W. Chen, "29.4 A Fractional-N Digital MDLL with Background Two-Point DTC Calibration Achieving -60dBc Fractional Spur," 2021 IEEE International Solid-State Circuits Conference (ISSCC), 2021, pp. 410-412, doi: 10.1109/ISSCC42613.2021.9365819.

16. J. Qiu et al., "32.7 A 32kHz-Reference 2.4GHz Fractional-N Oversampling PLL with 200kHz Loop Bandwidth," 2021 IEEE International Solid-State Circuits Conference (ISSCC), 2021, pp. 454-456, doi: 10.1109/ISSCC42613.2021.9365861.

17. W. Wu et al., "A 28-nm 75-fsrms analog fractional-N sampling PLL with a highly linear DTC incorporating background DTC gain calibration and reference clock duty cycle correction," IEEE J. Solid-State Circuits, vol. 54, no. 5, pp. 1254-1265, May 2019.

18. Y. He et al., "A 673 μ W 1.8-to-2.5 GHz divider less fractional-N digital PLL with an inherent frequency-capture capability and a phase-dithering spur mitigation for IoT applications," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2017, pp. 420-421.

19. V. K. Chillara et al., "An 860 μ W 2.1-to-2.7 GHz all-digital PLL-based frequency modulator with a DTC-assisted snapshot TDC for WPAN (Bluetooth smart and ZigBee) applications," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2014, pp. 172-173.

20. H. Liu, D. Tang, Z. Sun, W. Deng, H. C. Ngo, and K. Okada, "A sub-mW fractional-N ADPLL with FoM of -246 dB for IoT applications," IEEE J. Solid-State Circuits, vol. 53, no. 12, pp. 3540-3552, Dec. 2018.

21. Talati, S., akbari sani, M., Hassani Ahangar, M. (2020). 'Identifying Radar Targets using the GMDH Deep Neural Network', Radar, 1399.Vol.8(1), pp. 65-74. Dor:20.1001.1.23454024.1399.8.1.7.2

22. Talati, S., and M. R. Hasani Ahangar. "Radar data processing using a combination of principal component analysis methods and self-organizing and digitized neural networks of the learning vector." Electronic and Cyber Defense Vol.(9).2 (2021): pp1-7.

23. Talati, S., & Hassani Ahangar, M. R. (2020) "Combining Principal Component Analysis Methods and Self-Organized and Vector Learning Neural Networks for Radar Data", Majlesi Journal of Telecommunication Devices, 9(2), 65-69.

24. Hassani Ahangar, M. R., Talati, S., Rahmati, A., & Heidari, H. (2020). "The Use of Electronic Warfare and Information

فاز با داشتن یک حلقه دینامیکی ثابت در مدار استفاده شده است. طیف گسترده‌ای از کسری N- با ولتاژ کنترل VCO در سطح مدار استاندارد CMOS، ۱۸۰ نانومتری پیاده‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد تکنیک خطی‌سازی جدید طراحی شده جریان‌های CP در مقایسه با جریان CP بدون تکنیک خطی‌سازی مطابقت بالایی دارد و حداکثر عدم تطابق حدود ۰٫۴ میکروثانیه در ولتاژ کنترل بین ۰٫۲ تا ۱٫۶ ولت است. مصرف برق کسری N- طراحی شده حدود ۶٫۵۷۹ میکرو وات با یک منبع تغذیه ۱٫۸ ولتی است و نتایج نشان می‌دهد که نویز فاز در فرکانس‌های افس ۱ کیلوهرتز، ۱۰ کیلوهرتز و ۱۰۰ کیلوهرتز برای زمانی که تکنیک خاموش است به ترتیب برابر است با، -40 dBc/Hz، -77 dBc/Hz و -82 dBc/Hz و این مقدار زمانی که تکنیک روشن است، به ترتیب -63 dBc/Hz، -88 dBc/Hz و -96 dBc/Hz است.

۸- مراجع

1. L. Wu, T. Burger, P. Schönle and Q. Huang, "A Power-Efficient Fractional-N DPLL With Phase Error Quantized in Fully Differential-Voltage Domain," in IEEE Journal of Solid-State Circuits, vol. 56, no. 4, pp. 1254-1264, April 2021, doi: 10.1109/JSSC.2020.3047431.
2. Y. Fu, L. Li and D. Wang, "A Fractional-N Divider for Phase-Locked Loop with Delta-Sigma Modulator and Phase-Lag Selector," 2018 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Melbourne, VIC, Australia, 2018, pp. 1-3, doi: 10.1109/RFIT.2018.8524055.
3. H. Liu et al., "A 265- μ W Fractional- N Digital PLL With Seamless Automatic Switching Sub-Sampling/Sampling Feedback Path and Duty-Cycled Frequency-Locked Loop in 65-nm CMOS," in IEEE Journal of Solid-State Circuits, vol. 54, no. 12, pp. 3478-3492, Dec. 2019, doi: 10.1109/JSSC.2019.2936967.
4. B. Razavi, Design of Analog CMOS Integrated Circuits. McGraw-Hill Higher Education, 2000.
5. B. Miller and B. Conley "A multiple modulator fractional divider" in Proceedings of the 44th Annual Symposium on Frequency Control, pp. 559-568, 1990.
6. T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski "Delta-sigma modulation in fractional-N frequency synthesis" IEEE Journal of Solid-State Circuits, vol. 28, no. 5, pp. 553-559, 1993.
7. Hosseini, Kaveh, and Michael Peter Kennedy "Minimizing Spurious Tones in Digital Delta-Sigma Modulators" Springer Science & Business Media, 2011.
8. E. Temporiti, et. al "A 700kHz Bandwidth $\Sigma\Delta$ Fractional Synthesizer With Spurs Compensation and Linearization Technique for WCDMA Applications" IEEE Journal of Solid State Circuits, vol. 39, pp. 1446-1454, Sept. 2004.
9. Yu, Xrger, P. Schönle and Q. Huang, "A Power-Efficient Fractional-N DPLL With Phase Error Quantized in Fully

38. O. Sharifi-Tehrani and S. Talati, "PPU Adaptive LMS Algorithm, a Hardware-Efficient Approach; a Review on", *Majlesi Journal of Mechatronic Systems*, vol. 6, no. 1, Jun. 2017
39. Hashemi SM, Barati S, Talati S, Noori H. "A genetic algorithm approach to optimal placement of switching and protective equipment on a distribution network." *J Eng Appl Sci* 2016; 11: 1395-1400.
40. Talati, S., EtezadiFar, P., Hassani Ahangar, M. R., Molazade, M. "Investigation of Steganography Methods in Audio Standard Coders: LPC, CELP, MELP" *Majlesi Journal of Telecommunication Devices*, 12(1), pp. 7-15, 2023, doi: 10.30486/mjtd.2022.695928
41. Talati, S., EtezadiFar, P., Hassani Ahangar, M. R., Molazade, M. "Investigation of Steganography Methods in Audio Standard Coders: LPC, CELP, MELP" *Majlesi Journal of Telecommunication Devices*, 12(1), pp. 7-15, 2023, doi: 10.30486/mjtd.2022.695928.
42. Talati, Saeed, and Pouria EtezadiFar. "Electronic attack on radar systems using noise interference." *Majlesi Journal of Mechatronic Systems* 10.3, 2021, 7-11.
43. Seyed Morteza Ghazali, Jalil Mazloum, Yasser Baleghid. "Modified binary salp swarm algorithm in EEG signal classification for epilepsy seizure detection" *Biomedical Signal Processing and Control*. Volume 78, September 2022.
44. Talati, Saeed, Ghazali, Seyed Morteza, SoltaniNia, VahidReza, "Design and construct full invisible band metamaterial-based coating with layer-by-layer structure in the microwave range from 8 to 10 GHz" *Journal of Physics D: Applied Physics*. Volume 56, Number 17. 2023. DOI 10.1088/1361-6463/acb8c7.
45. Seyed M. Ghazali; Y. Baleghi. "Pedestrian Detection in Infrared Outdoor Images Based on Atmospheric Situation Estimation". *Journal of AI and Data Mining*, 7, 1, 2019, 1-16.
46. Soltaninia, V., Talati, S., Hasani Ahangar, M., Samsami Khodadad, F., Baei, P. (2023). 'Security of UAV Relay Networks based on Covert Communication in the Presence of an Eavesdropping UAV', *Electronic and Cyber Defense*, 11(2), pp. 45-56. Dor: 20.1001.1.23224347.1402.11.2.4.7
47. Mohammadi, H., Halili, K., Soltaninia, V., Bayat, M., Talati, S. (2023). 'Presenting a New Model of Optimal Coordinated beam former Vector Selection in DRFM for Radar Jamming', *Majlesi Journal of Telecommunication Devices*, 12(3), pp. 141-147. doi: 10.30486/mjtd.2023.1986716.1034
48. Soltaninia, V., Talati, S., Khatmi, S. M., Ghaffari, K. (2023). 'Presenting a New Steganography Method Based on Wavelet Transform in Gray Image', *Majlesi Journal of Telecommunication Devices*, 12(2), pp. 105-111. doi: 10.30486/mjtd.2023.1983555.1031
49. Talati, S., EtezadiFar, P., Hassani Ahangar, M. R., Molazade, M. (2023). 'Investigation of Steganography Methods in Audio Standard Coders: LPC, CELP, MELP', *Majlesi Journal of Telecommunication Devices*, 12(1), pp. 7-15. doi: 10.30486/mjtd.2022.695928.
25. Talati, S., Alavi, S. M., & Akbarzade, H. (2021). "Investigating the Ambiguity of Ghosts in Radar and Examining the Diagnosis and Ways to Deal with it". *Majlesi Journal of Mechatronic Systems*, 10(2).
26. Etezadifar, P., & Talati, S. (2021). "Analysis and Investigation of Disturbance in Radar Systems Using New Techniques of Electronic Attack". *Majlesi Journal of Telecommunication Devices*, 10(2), 55-59.
27. Talati, S., & Alavi, S. M. (2020). "Radar Systems Deception using Cross-eye Technique". *Majlesi Journal of Mechatronic Systems*, 9(3), 19-21.
28. Talati, Saeed, et al. "Analysis and Evaluation of Increasing the Throughput of Processors by Eliminating the Lobe's Disorder." *Majlesi Journal of Telecommunication Devices* 10.3, 2021, 119-123.
29. Talati, S., Abdollahi, R., Soltaninia, V., & Ayat, M. (2021). "A New Emitter Localization Technique Using Airborne Direction Finder Sensor." *Majlesi Journal of Mechatronic Systems*, 10(4), 5-16.
30. Akbarzade, Houman, Seyed Mohammad Alavi, and Saeed Talati. "Investigating the Ambiguity of Ghosts in Radar and Examining the Diagnosis and Ways to Deal with it." *Majlesi Journal of Mechatronic Systems* 10.2 (2021): 17-20.
31. Talati, S., Etezadifar, P. "Providing an Optimal Way to Increase the Security of Data Transfer using Watermarking in Digital Audio Signals" *Majlesi Journal of Telecommunication Devices*, 9(1), pp. 35-46, 2020.
32. Talati, S., Hassani Ahangar, M., "Analysis, Simulation and Optimization of LVQ Neural Network Algorithm and Comparison with SOM", *Majlesi Journal of Telecommunication Devices*, 9(1), pp. 17-22, 2020.
33. S. Talati, A. Rahmati, and H. Heidari. (2019) "Investigating the Effect of Voltage Controlled Oscillator Delay on the Stability of Phase Lock Loops", *MJTD*, vol. 8, no. 2, pp. 57-61.
34. Aslinezhad, M., Mahmoudi, O., & Talati, S. (2020). "Blind Detection of Channel Parameters Using Combination of the Gaussian Elimination and Interleaving". *Majlesi Journal of Mechatronic Systems*, 9(4), 59-67.
35. Talati, S., & Amjadi, A. (2020). "Design and Simulation of a Novel Photonic Crystal Fiber with a Low Dispersion Coefficient in the Terahertz Band". *Majlesi Journal of Mechatronic Systems*, 9(2), 23-28.
36. S. Talati, A. Rahmati, and H. Heidari, "Investigating the Effect of Voltage Controlled Oscillator Delay on the Stability of Phase Lock Loops", *MJTD*, vol. 8, no. 2, pp. 57-61, May 2019.
37. Saeed Talati, Behzad. Ebadi, Houman. Akbarzade "Determining of the fault location in distribution systems in presence of distributed generation resources using the original post phasors". *QUID* 2017, pp. 1806-1812, Special Issue No.1- ISSN: 1692-343X, Medellin-Colombia. April 2017.