نشریه علمی «راداز»
سال دهم، شماره ۱، فصل بهار و تابستان ۱۴۰۱؛ ص ۱۰-۱

علمی – پژوهشی

پمپ بار افزاینده DC بهینه یافته در تکنولوژی ۱۸۰ نانومتر CMOS مناسب برای کاربردهای راداری و شناسایی از طریق فرکانس‌های رادیویی

عباس شاکری[۱]، مهدی رادمهر[۲*]، علیرضا قربانی[۳]

۱- دانشجوی دکترا، ۲و۳- استادیار، دانشکده مهندسی برق، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

(دریافت: ۱۴۰۱/۰۲/۰۲، پذیرش: ۱۴۰۱/۱۰/۰۳)

چکیده

در این مقاله یک پمپ بار جدید در تکنولوژی CMOS طراحی و پیاده‌سازی شده است. با به‌کارگیری بایاس بدنه برای کاهش ولتاژ آستانه و کنترل ولتاژ با به‌کارگیری مدار مرجع ولتاژ، به مدار افزاینده ولتاژ DC به DC با راندمان بالا جهت تأمین ولتاژ ورودی در حد ۳۲۰ میلی‌ولت و ولتاژ خروجی بالای یک ولت دست‌یافته شده است. شبیه‌سازی‌های لازم انجام شده است تا بتوان مدار افزاینده ولتاژ پیشنهادی را در حالتی که نتایج نزدیک به نتایج ساخت باشد بتواند تحلیل شود. مشخصات حاکی از آن است که در مقایسه با کارهای انجام شده قبلی، از خازن‌های کوچک‌تر جهت کاهش مساحت مدار و همچنین ولتاژ خروجی بالا با به‌کارگیری حداقل تعداد ترانزیستور بهره برده شده است. نتایج شبیه‌سازی با خازن پمپ بار ۲۵ پیکوفاراد در هر طبقه و فرکانس پالس ساعت ۲۰۰ کیلوهرتز نشان می‌دهد که ولتاژ ورودی ۳۵۰ میلی‌ولت در کمتر از ۲ میلی‌ثانیه به ۱,۲ ولت می‌رسد. مدار پیشنهادی می‌تواند مناسب برای کاربردهای با توان مصرفی پایین و به‌کارگیری برداشت انرژی برای تأمین ولتاژهای موردنیاز در مدارهای راداری و شناسایی از طریق فرکانس‌های رادیویی باشد.

کلیدواژه‌ها: رادار کم‌توان، پمپ بار، مدار افزاینده ولتاژ، راندمان بالا، مساحت کم، زمان پایداری، برداشت انرژی

۱- مقدمه

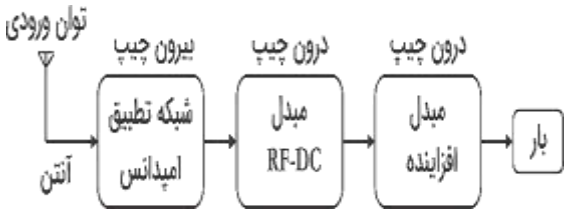
در سال‌های اخیر در عرصهٔ تبدیل توان در سیستم‌های بلوک‌های راداری کارهای زیادی صورت‌گرفته است و در سیستم‌های الکترونیک هم با الگوبرداری از این روش‌ها مدارهای افزاینده ولتاژ DC-DC در توان‌های پایین طراحی و ساخته شده‌اند. از طرفی سیستم‌های رادارهای پالسی و سیستم‌های شناسایی از طریق فرکانس‌های رادیویی که از بلوک‌های مختلف تغذیه و آشکارساز فاز و نوسان‌ساز محلی تشکیل شده‌اند، تغذیه این نوع بلوک‌ها در طولانی‌مدت به‌عنوان یک چالش مطرح می‌شود. قاعدتاً یک باتری بزرگ، اندازه را افزایش می‌دهد که مطلوب طراحان مداری در سیستم‌های راداری نیست. از طرفی باتری با منابع تغذیه کوچک نیز نیاز به تعویض مکرر دارند که این امر نیز پیشنهاد نمی‌شود. این بلوک‌ها اغلب نیاز به نرخ دیتای سریعی داشته و انرژی زیادی مصرف می‌کنند. با به‌کارگیری منابع انرژی موجود از جمله حرارت، می‌توان اقدام به برداشت انرژی کرد. از طرفی دیگر، برداشت انرژی به‌صورت ولتاژی بسیار ناچیز است و به‌کارگیری آن مستلزم استفاده از یک افزاینده برای تبدیل ولتاژ حاصل از برداشت انرژی می‌باشد. مدارهای افزاینده ولتاژ باید قادر به کار تحت ولتاژ تغذیه پایین باشند و یا از یک شارژر اولیه در هنگام راه‌اندازی استفاده کند. مشکل اصلی در الکترونیک وجود سلف‌ها، خازن‌ها، مقاومت‌ها و دیودها در این مدارات است که حجم زیادی در جانمایی را به خود اختصاص می‌دهند. این اتفاق روی‌آوردن به تکنولوژی CMOS در این زمینه را نتیجه داده است و می‌تواند نوید بهبود بازده و کارایی را در این سیستم‌ها بدهد. بحث‌های توان مصرفی در بلوک‌های طراحی شده، اندازه مدار طراحی شده، تداخل، مقدار سیگنال به نویز در کاربردهای راداری [۱]، زمان پایداری و... از مهم‌ترین مواردی هستند که در این نوع طراحی‌ها مدنظر قرار می‌گیرند. چندین راه‌حل برای حل مشکل توان تلفاتی زیاد وجود دارد که با تغییر در نوع طراحی مداری و یا تغییر در ساختار می‌توان ایجاد کرد که با وجود زمان‌بر نبودن تغییرات طراحی ولی صرفه‌جویی قابل‌ملاحظه‌ای می‌توان داشت، ولی با تمامی این شرایط باید یک حد میانگین بین سرعت و توان اتخاذ کرد. بخش عمده برای رسیدن به این هدف کاهش توان ایستایی مدارات CMOS استفاده شده در طراحی بلوک‌های مختلف می‌باشد. با ایجاد مسیر فیدبک در مدارات، تا با وجود این فیدبک در طی عملکرد مدار در شرایط مختلف نتیجه مطلوب و لازم را گارانتی نماید. توان را نسبت به زمان به طور مؤثری می‌توان کاهش داد. یکی از معضلات اصلی سیستم‌های الکترونیکی در سیستم‌های انتقال توان است. هر چقدر انتقال توان با بازده بالاتری در این سیستم‌ها صورت پذیرد سیستم بهینه خواهد بود. در سیستم‌های تبدیل توان علاوه بر انتقال توان موضوع تغییر

* رایانامه نویسنده مسئول: Radmehr@iausari.ac.ir

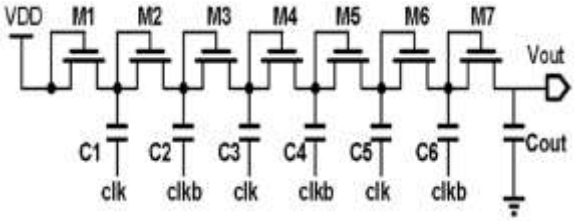
اندازه و نوع ولتاژ یا جریان هم مطرح است. در مبدل‌های DC-DC و افزاینده‌های ولتاژ، یک ایده قدیمی به این صورت است که ابتدا ولتاژ DC ورودی به AC تبدیل می‌شود و سپس این ولتاژ AC به DC متفاوتی با ورودی تبدیل می‌شود. مشکل اصلی این روش بازده بسیار پایین آن است. به همین منظور تلاش بر این بوده است که تبدیل توان به‌صورت مستقیم صورت گیرد [۲]. یکی از موارد مهم و موردنیاز در سیستم‌های قابل‌حمل حجم و اندازه فیزیکی بلوک‌ها می‌باشد، درحالی‌که عمل تبدیل در مدارهای افزاینده ولتاژ DC-DC اگر دارای راندمان بالایی باشد، اندازه و نوع باتری می‌تواند در مدت‌زمان کار سیستم بهبود قابل‌ملاحظه‌ای ایجاد کند. اما بدون کاربرد برای بهبود زمان کار سیستم یک روش ساده می‌تواند افزایش ظرفیت باتری باشد. بااین‌حال اگر نسبت تبدیل برای بهترین شرایط بار و ولتاژ خروجی در طراحی موردنظر بر مبنای CMOS در نظر گرفته شود مقدار اندازهٔ مداری که برای افزایش جریان خروجی به مدار طراحی شده اضافه می‌شود بسیار کوچک‌تر از ظرفیت یا اندازه باطری می‌باشد که باید برای همان مقدار افزودن جریان، افزایش یابد. اتلاف توان در فرآیندی است که در طی آن انرژی الکتریکی را در ابزارهای سوئیچینگ و یا به علت وجود امپدانس در مدارات الکتریکی تلف می‌کند. طراحی CPUهایی که کارهای محاسباتی را به شیوه‌ای پربازده بدون آنکه دچار افزایش دما شوند انجام دهند یکی از مسائلی است که تمامی سازندگان CPU تا به امروز با آن درگیر هستند. برخی پیکربندی‌های خاص CPU مانند CPU در موبایل‌ها انرژی الکتریکی بسیار کمی مصرف می‌کنند. در مقایسه با این CPU ها، CPU در کامپیوترهای خانگی اتلاف انرژی به‌مراتب بیشتری دارند چرا که پیچیده‌تر بوده و سرعت آن‌ها نیز بیشتر است [۳]. سیستم‌های برداشت انرژی به دلیل رشد روزافزون افزاره‌های بیسیم و کنترل از راه دور و عدم استفاده از باطری‌های متداول به علت عمر محدود و مقرون‌به‌صرفه نبودن، توجه زیادی را به خود جلب کرده‌اند. یکی از مهم‌ترین قسمت‌های این سیستم‌ها مدارهای پمپ بار بوده است.

۲- روش تحقیق

در این بخش ابتدا بلوک کلی سیستم برداشت انرژی نشان‌داده‌شده است. این سیستم از آنتن شروع شده و با تطبیق شبکه امپدانس، به مبدل رسیده و انرژی را ذخیره می‌کند که در شکل (۱) نشان‌داده‌شده است. یک مدار پمپ بار جدید با ولتاژ ورودی پایین، زمان شروع مناسب و افزایش ولتاژ چهارتا پنج برابری نسبت به ولتاژ ورودی در تکنولوژی ۱۸۰ نانومتر CMOS طراحی و پیشنهاد شده است که در شکل ۲ آورده شده است. ابتدا به تحلیل مدار پایه برای مدار افزاینده پرداخته می‌شود. برای ایجاد یک منبع تغذیهٔ ولتاژ بالا از یک منبع تغذیهٔ ولتاژ با استفاده از یک سری اتصالات خاص از دیودها و خازن‌های مجزا رونمایی کردند که این تکنیک بعدها توسط دیکسون برای ساخت مدارهای مجتمع مدرن تکامل یافت [۲]. در پمپ بار دیکسون، بیشتر مدارهای پمپ بار یک شاخه داشته‌اند که در آن از دو سیگنال پالس ساعت با فاز مخالف استفاده می‌شد که به‌تدریج بار را در هر طبقه جمع و به طبقهٔ بعدی انتقال می‌داد. مدار پمپ بار دیکسون نیز با همین عملکرد، شامل گره‌های زنجیرهٔ دیودی است که به‌وسیلهٔ خازن‌های موازی به ورودی کوپلاژ شده‌اند [2,4,5].



شکل (۱). بلوک دیاگرام سیستم برداشت انرژی



شکل (۲). مدار پمپ بار شش طبقه‌ای دیکسون متداول [۴]

ولتاژ پالس ساعت بالاتر می‌تواند شارژ بیشتری را به هر یک منتقل کند. چرخه ساعت به طور مؤثرتری سوئیچ‌ها را روشن/خاموش می‌کند تا Req و پدیده اشتراک شارژ را کاهش دهد. برای رسیدن به ولتاژ خروجی یکسان به مراحل سری کمتری نیاز است. بااین‌حال، تولید ولتاژ کلاک بالاتر به یک مولد پالس ساعت پیچیده نیاز دارد که توان بیشتری مصرف می‌کند. در نوع دیگر پمپ بار، دوشاخه کلید انتقال بار و یک ساختار جبران‌کننده برای هر طبقه طراحی شده است. از مزایای این نوع طراحی می‌توان به افزایش بهره پمپ، ریپل خروجی پایین، اشتراک شارژ معکوس کمتر و نادیده‌گرفته‌شدن شارژ موجود در کانال‌های NMOS و PMOS اشاره کرد. ایراد بارز این طراحی کماکان ضعف در کارکرد در ولتاژهای پایین برای تغذیه می‌باشد [۵-۷]. وجود یک مدار پمپ بار به‌منظور برداشت انرژی دریافتی از محیط و مصرف آن برای سیستم‌های الکتریکی همواره یک چالش برای متخصصان این زمینه بوده است. به همین دلیل پمپ بارهای مختلفی تاکنون طراحی شده‌اند که هریک از آنها نقاط ضعف و قوت خود را داشته‌اند. پمپ بار دیکسون یک پمپ بار ساده بوده که توسط یک چنگ با استفاده از کلیدهای استاتیکی بهبود یافت و پس از آن یک پمپ بار خطی طراحی شد که نمی‌توانست همواره شارژ را به خروجی برساند. به همین دلیل از یک شاخهٔ جبران‌کننده بهره گرفته شد که در نهایت به پمپ بار دوشاخه‌ای بدل شد. پس از آن پنگ با ارائهٔ یک پمپ بهینه‌شدهٔ دوشاخه‌ای به همراه اسیلاتور داخلی توانست نتایج

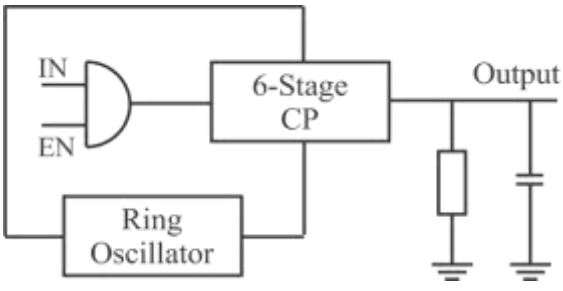
بسیار خوبی را از خود به نمایش بگذارد. پمپ بار پنگ تا مدت‌ها پرچم‌دار مدارهای پمپ بار بود و توجه بسیاری از متخصصان را به خود جلب کرده بود. در این بخش یک مدار پمپ بار در تکنولوژی ۱۸۰ نانومتر CMOS ارائه شده که عملکرد بهتری نسبت به پمپ بار پنگ دارد. در ادامه به توضیح کامل این مدار پمپ بار و مدار اسیلاتور داخلی در نظر گرفته برای آن پرداخته خواهد شد.

مدار پمپ بار پیشنهادی دارای دوشاخه بوده که هر شاخه شامل چهارطبقه است که طبقهٔ اول شامل دو NMOS و دو PMOS که بعد از اتصال گیت‌هایشان، زوج متقابل شده‌اند. از طبقهٔ دوم تا طبقهٔ سوم PMOS ها، دوبه‌دو زوج متقابل شده و در طبقهٔ آخر هم NMOS و هم PMOS دوبه‌دو زوج متقابل شده‌اند. ولتاژ ورودی مدار ۳۰۰ میلی‌ولت است و خروجی پمپ بار باید در ۰،۳ میلی‌ثانیه به بالای ۱،۲ ولت برسد. فرکانس در نظر گرفته شده برای این مدار ۲۰۰ کیلوهرتز است.

هر اتصال دیودی که توسط ترانزیستورها اعمال می‌شود می‌تواند در نقش امپدانس معادل درین - سورس در ترانزیستور باشد که به‌صورت زیر محاسبه می‌شود:

$$Req = \frac{L}{\mu \times Cox \times (Vgs - Vth) \times W} \qquad (1)$$

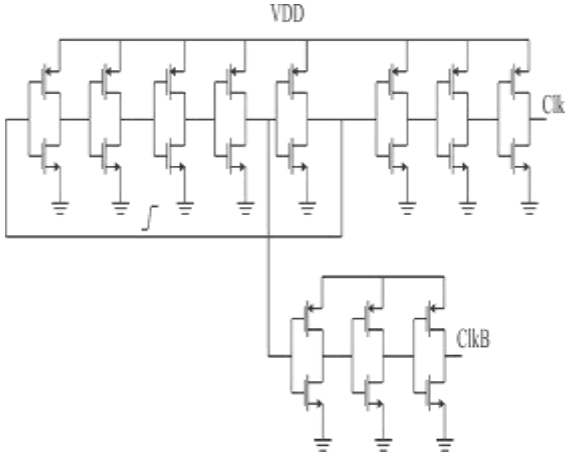
جایی که V_{gs} همان ولتاژ گیت-سورس بوده و V_{th} ولتاژ آستانه و L همان طول گیت بوده و W پهنا یا عرض گیت است. R_{eq} باعث ازدست‌دادن رسانایی می‌شود که بازده پمپاژ و قابلیت انتقال بار را کاهش می‌دهد. یک سوئیچ اتصال دیودی گسترده‌تر با طول کانال کوتاه‌تر می‌تواند برای کاهش R_{eq} استفاده شود، اما V_{th} را در یک فرایند استاندارد CMOS مدرن افزایش می‌دهد. بلوک دیاگرام مدار پمپ بار پیشنهادی در شکل (۳) و شماتیک مدار پیشنهادی در شکل (۴) مشخص شده است.



شکل (۳). بلوک دیاگرام مدار پمپ بار پیشنهادی

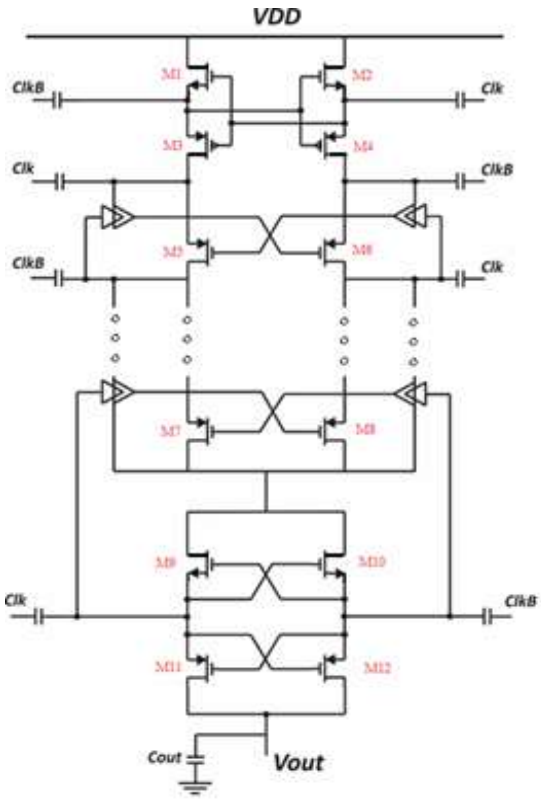
در مدار پیشنهادی بالک همهٔ افزاره‌های CMOS در اینورتر به سورس متناظر هریک متصل است. باتوجه‌به ساختار اینورتر، سیگنال کنترلی هر طبقه در شاخه‌های A و B، از ولتاژهای بالای ساخته شده در طبقهٔ بعد گرفته می‌شود. در دوره زمانی اول، سیگنال پالس ساعت CLK پایین و CLKB بالاست. در هر دورهٔ زمانی، شارژ همواره توسط یکی از شاخه‌ها به خروجی منتقل می‌شود. در هر طبقه با افزایش V_{DD} به خروجی طبقهٔ قبل و انتقال آن به طبقهٔ بعد، باعث می‌شود تا در کمتر از ۲ میلی‌ثانیه در خروجی مدار ولتاژ تقریبی ۱،۲ ولت به دست آید.

سیگنال‌های پالس ساعت CLK وCLKB بوسیلهٔ یک مولد پالس ساعت تولید می‌شوند که ولتاژ قله تا قله هر دوی آنها برابر V_{DD} است. بالک همهٔ افزاره‌های CMOS در اینورتر به سورس متناظر هریک متصل است. باتوجه‌به ساختار اینورتر، سیگنال کنترلی هر طبقه در شاخه‌های A و B، از ولتاژهای بالای ساخته شده در طبقهٔ بعد گرفته می‌شود. در دوره زمانی اول، سیگنال پالس ساعت CLK پایین و CLKB بالاست و در هر دورهٔ زمانی، شارژ همواره توسط یکی از شاخه‌ها به خروجی منتقل می‌شود. در هر طبقه با افزایش V_{DD} به خروجی طبقهٔ قبل و انتقال آن به طبقهٔ بعد، باعث می‌شود تا در ۲ میلی‌ثانیه در خروجی مدار، ولتاژ تقریبی ۱،۲ ولت به دست آید. از مزایای طراحی مدار افزاینده ولتاژ پیشنهادی این است که در ولتاژهای ورودی پایین، اثر بدنه کم شده و ماسفت‌ها می‌توانند سریع‌تر خاموش و روشن شوند. همچنین ولتاژ گیت - سورس بالاتر و ولتاژ آستانه پایین‌تر باعث کاهش تلفات هدایتی می‌شود. همچنین با تولیدکردن منبع VDD ولتاژ پایین موردنیاز، تخمینی دقیق از شبیه‌سازی به دست می‌آید که می‌تواند مناسب‌تر برای مقایسه با کارهای ساخت باشد. شکل (۴) که ساختار اصلی مدار پیشنهادی را نشان می‌دهد، دارای دوشاخه بوده که هر شاخه شامل شش طبقه است که طبقه اول شامل دو NMOS و PMOS بوده که بعد از اتصال گیت‌هایشان، زوج متقابل شده‌اند. از طبقهٔ دوم تا پنجم PMOsها دو زوج متقابل شده و در طبقه آخر هم NMOS و PMOS دوبه‌دو زوج متقابل هستند.



شکل (۴). مدار نوسان‌ساز بکار برده شده در طراحی

مدار نوسان‌ساز پیشنهادی به‌صورت تعدادی فرد از اینورترهای پشت‌سرهم قرار گرفته شده است که توسط شرط بارک هاوزن، شرط نوسان برقرار می‌شود.

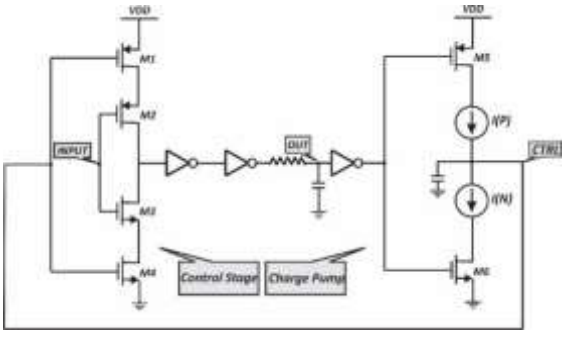


شکل (۵). مدار افزاینده ولتاژ افزاینده پیشنهادی

اسیلاتور طراحی شده می‌تواند در ولتاژهای پایین‌تر از منبع تغذیه کار کند درنتیجه افزاره باید در ناحیهٔ زیر آستانه کار کند. بایاس بدنهٔ ماسفت می‌تواند ولتاژ آستانه را کاهش و ناحیهٔ وارونگی را افزایش دهد. اگر ولتاژ بایاس بدنهٔ NMOS خیلی بزرگ باشد، جریان بزرگی از بالک به سورس جاری خواهد شد که مشکلات جدی را برای افزاره ایجاد می‌کند. اگر اختلاف ولتاژ V_{SB} کاهش یابد و مقدار آن منفی شود، مقدار ولتاژ آستانه به کمتر از V_t کاهش می‌یابد. شرایط مشابهی در PMOS، هنگامی که پایهٔ بالک متصل به یک ولتاژ کمتر از سورس باشد رخ خواهد داد. بنابراین می‌توان با استفاده از تکنیک بایاس بدنه کاری کرد که افزاره در ولتاژهایی کمتر از ولتاژ منبع تغذیه عمل کند. همچنین ولتاژ بایاس بدنه باید به دقت انتخاب شود تا بتواند ولتاژ آستانه را کاهش و درایو شدن جریان را افزایش دهد. بایاس بدنه ماسفت می‌تواند ولتاژ آستانه را کاهش داده و ناحیهٔ وارونگی را افزایش دهد. اسیلاتور طراحی شده که در شکل (۴) آورده شده است شامل پنج طبقه اینورتر بوده که خروجی Clk از طبقهٔ پنجم اسیلاتور و ClkB از طبقهٔ چهارم اسیلاتور با سه اینورتر گرفته می‌شود و در ناحیهٔ زیر آستانه کار می‌کند. فرکانس کار بهینه‌ی این اسیلاتور ۲۰۰ کیلوهرتز می‌باشد. بافرها عیب‌های خروجی سیگنال پالس ساعت و عیب لبه‌های آن را کاهش می‌دهند. همچنین باید اضافه کرد که بافرها موازی عمل می‌کنند. پس از راه اندازی، افزاینده ولتاژ پله‌ای می‌تواند برای تغذیه از ولتاژ بالای خودش استفاده کند و مقدار V_{start} بالا، اسیلاتور حلقه‌ای را خاموش کرده و در مدت زمان خاموشی به حالت آماده به کار می‌برد. به دلیل نسبت پایین عرض به طول افزاره اینورتر، جریان جاری شده در ناحیهٔ زیرآستانه PMOS در اینورتر قابل چشم پوشی است. اولاً در ولتاژهای ورودی پایین، اثر بدنه کم شده و ماسفت‌ها می‌توانند سریع‌تر خاموش و روشن شوند. همچنین ولتاژ گیت سورس بالاتر و ولتاژ آستانه‌ی پایین‌تر باعث کاهش تلفات هدایتی می‌شود. دوما استفاده از هر دونوع NMOS و PMOS در هر دوشاخه باعث کاهش تلفات اشتراک شارژ معکوس می‌گردد. سوما علاوه بر دارا بودن یک اسیلاتور داخلی، از تعداد ترانزیستور کمتری برای طراحی آن استفاده شده است و در نتیجه مساحت کمتری استفاده می‌شود[۱۰-۱۲].

شکل (۵) مدار افزاینده ولتاژ افزاینده پیشنهادی در این مقاله را نشان می‌دهد. سمت راست مدار شاخه A و سمت چپ مدار را شاخه B نامیده شده است. سیگنال‌های پالس ساعت CLK و CLKB به‌وسیله یک مولد پالس ساعت تولید می‌شوند که ولتاژ قله تا قله هر دوی آنها برابر VDD است. بعدها مدار پمپ بار دوشاخه‌ای طراحی شدند. وقتی مدار پمپ بار پیشنهادی برای کاربردهای منبع تغذیهٔ ولتاژ پایین طراحی می‌شود، اولین اقدام، ساخت یک اسیلاتور حلقه‌ای است که بتواند پالس ساعت‌های بدون نویز فاز در حوزه فرکانس و یا جیتر در حوزه زمان تولید کند.

در این طراحی مدار مولد پالس‌های Clk و ClkB آورده شده است. بعد از عبور از سه اینورتر، شکل پالس خروجی تیزتر شده و به پالس نهایی، مدار مصحح دیوتی‌سایکل طراحی شده است. Duty Cycle نزدیک ۵۰ درصد باید باشد؛ اما خروجی‌ها، مقادیری کمتر و بیشتر از ۵۰ درصد دارند. برای اصلاح این مشکل، مدار DCC بهبودیافته که در شکل (۶) آورده شده است.



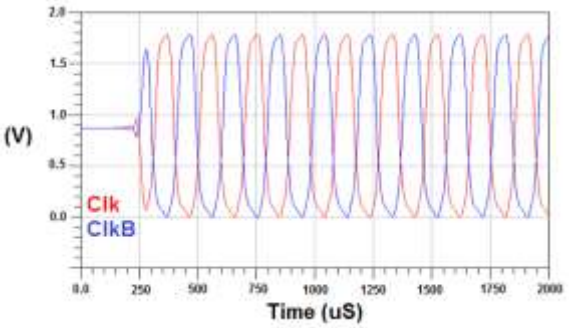
شکل (۶). مدار DCC بهبودیافته پیشنهادی

طبق این طراحی که متشکل از طبقه کنترل و پمپ بار می‌باشد، منابع جریان متصل شده به خروجی می‌توانند ریپل خروجی را کاهش داده‌اند. در این طراحی در بازه Duty cycle ورودی بین ۱۰ تا ۹۰ درصد در فرکانس‌های بالاتر نیز، خروجی

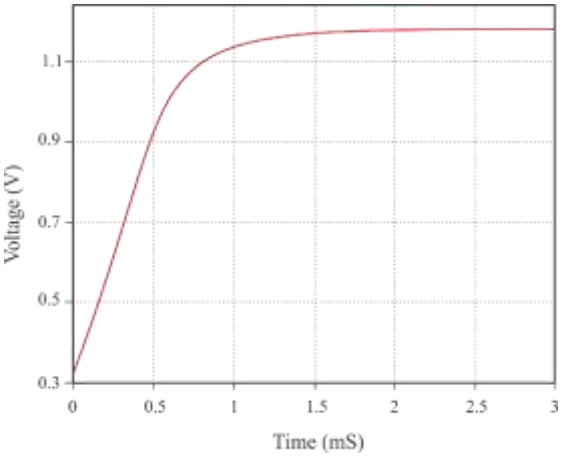
Duty cycle نزدیک ۵۰ درصد می‌دهد که مناسب برای کاربرد در مدارهای با فرکانس‌های بالاتر نیز می‌باشد. اهمیت این طراحی برای دقت و افزایش سرعت در رسیدن به پایداری مدار کلی می‌باشد.

۳- نتایج و بحث

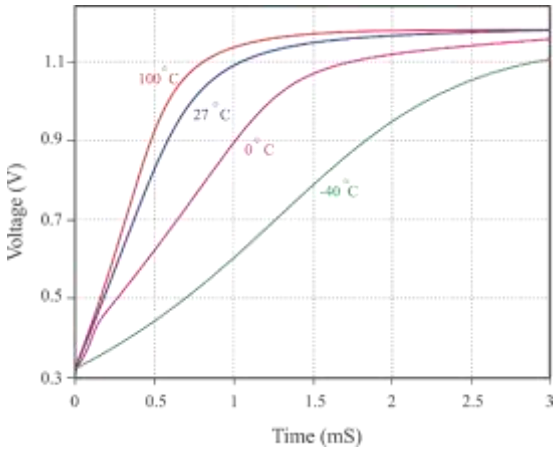
شکل (۷) نتیجه تحلیل حالت گذرای مدار نوسان‌ساز پیشنهادی را نشان می‌دهد. در ادامه و در شکل (۸) روند افزایش ولتاژ خروجی با اعمال ولتاژ ورودی ۳۲۰ میلی‌ولت در تحلیل گذرا آورده شده است. این بخش مربوط به نتایج شبیه‌سازی شده می‌باشد. شکل (۹) شبیه‌سازی در دماهای مختلف را نشان می‌دهد. طبیعتاً هر مداری بعد از طراحی و شبیه‌سازی اولیه باید در معرض تغییرات دمایی و فرایند قرار گیرد و صحت نتیجه باید در دماهای مختلف تست و بررسی شود تا در صورت تغییرات اساسی در خروجی، تغییرات لازم در طراحی اعمال شود. همچنین در شکل (۱۰) نیز تغییرات گوشه‌های فرایند که شامل TT و SS و FF و SF و FS می‌باشند که در شبیه‌سازی‌ها اعمال شده است و نتایج خروجی دستخوش تغییرات قابل‌ملاحظه نشده است. در نهایت نیز تحت یک جدول مقایسه، مقادیر به‌دست‌آمده از شبیه‌سازی گزارش شده است که نتایج به‌دست‌آمده با کارهای انجام شده قبلی مقایسه شده است. لازم به ذکر است که منظور از گوشه‌های فرایند، عبارت اولی گوشه‌ای است که ترانزیستور NMOS در آن قرار دارد و عبارت دومی حالتی است که ترانزیستور PMOS در آن قرار دارد. یعنی به‌عنوان‌مثال SF به منزله این است که ترانزیستورها NMOS آن Slow یا ولتاژ آستانه بالاتری نسبت به حالت متداول دارند و ترانزیستورهای PMOS آن Fast بوده و ولتاژ آستانه کمتری نسبت به حالت متداول را دارند. طبیعتاً مداری بهتر و در اولویت طراحی است که بتواند در شرایط مختلف و اعمال دماهای مختلف، دامنه تغییرات کم و قابل‌قبولی را از خود نشان و نتیجه دهد.



شکل (۷). خروجی تحلیل حالت گذرای نوسان‌ساز

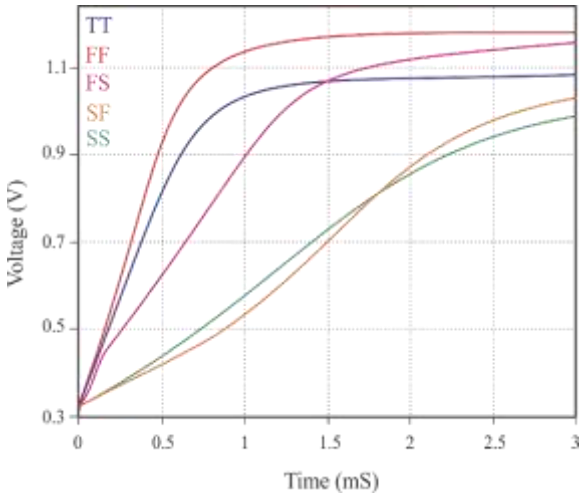


شکل (۸). روند افزایش ولتاژ خروجی با اعمال ولتاژ ورودی ۳۲۰ میلی‌ولت در تحلیل حالت گذرا



شکل (۹). شبیه‌سازی در دماهای مختلف مدار پیشنهادی

یکی از مشکلات اصلی در این نوع طراحی‌ها روشن‌شدن ترانزیستور در ولتاژهای پایین است که دلیل آن پایین‌تر شدن ولتاژ آستانه بوده است.



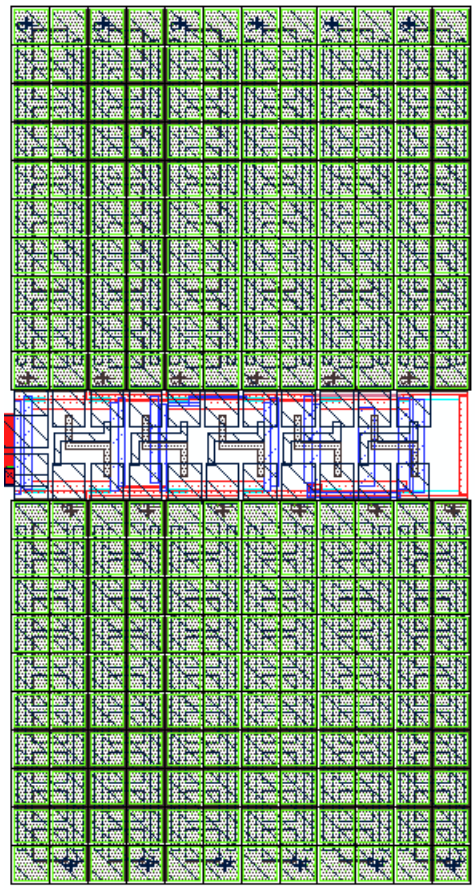
شکل (۱۰). شبیه‌سازی در گوشه‌های مختلف فرایند

برای این مورد از سوئیچ‌های انتقال شارژ استاتیک می‌توان استفاده کرد. با استفاده از ولتاژ بالای پیش‌بینی شده طبقات بعدی برای کنترل طبقات قبلی سوئیچ‌ها می‌توانند به طور مؤثرتری روشن و خاموش شوند. مدار پیشنهادی به طور خودکار زمان مرده بین پالس‌های کلاک را بر اساس ولتاژ ورودی بهینه می‌کند. در تکنیک بایاس بدنه، می‌توان با همان ولتاژ تغذیه مدار پمپ را راه‌اندازی کرد. در مدار پیشنهادی هر زیر سلول شامل یک جفت ترانزیستور PMOS-NMOS و یک خازن پمپاژ است. تکنیک بایاس بدنه با ترانزیستورهای کمکی به کل اینورترهای مدار اسیلاتور اعمال می‌شود طور یکه مدار بتواند با منبع ولتاژ پایین مشابه مدار پمپ بار عمل کند. جانمایی مدار کلی پیشنهادی در شکل ۱۰ آورده شده است که توسط نرم‌افزار کیدنس انجام شده است. در جدول ۱ مقایسه نتایج به‌دست‌آمده با کارهای انجام شده قبلی را نشان می‌دهد.

جدول (۱). مقایسه نتایج به‌دست‌آمده و گزارش آن

مدار پیشنهادی	[۹]	[۸]	[۴]	مرجع
۱۸۰ نانومتر	۶۵ نانومتر	۱۸۰ نانومتر	۱۸۰ نانومتر	تکنولوژی CMOS
پمپ بار	پمپ بار	پمپ بار	پمپ بار	ساختار
۶	۴	۶	۶	تعداد طبقه
۳۲۰	۵۵۰	۹۰۰	۳۲۰	ولتاژ ورودی (mV)
۲۵	۴۰	--	۲۴	خازن پمپ (pF)
۲۰	۲۰	--	۷,۵	خازن خروجی (pF)
۲	--	۳	۱	زمان پایداری (mS)
۱,۲	۰,۷	۱,۱	۱,۲	ولتاژ خروجی (V)
۶۷	۶۶	۵۸	۶۰	بازدهی راندمان
۴۲	۴۸	--	۸۷	تعداد ترانزیستور

همان‌طور که انتظار می‌رود، به دلیل کاهش تعداد ترانزیستورهای ارائه شده برای مدار پیشنهادی، اندازه کلی جانمایی مدار نیز کاهش پیدا کرده است که این امر می‌تواند در کاهش بلوک‌های داخلی سیستم‌های راداری نیز موردتوجه قرار گیرد چرا که یکی از دغدغه‌های اصلی طراحان در سیستم‌های راداری و شناسایی از طریق فرکانس‌های رادیویی، مساحت اشغال شده تراشه‌ها و توان مصرفی آن‌ها می‌باشد.



شکل (۱۱). جانمایی مدار کلی پیشنهادی در مقاله

۴- نتیجه‌گیری

در این مقاله یک مدار پمپ بارشش طبقه‌ای با اسیلاتور داخلی که توانایی تولید دو سیگنال پالس ساعت به‌صورت هم‌زمان با دوفاز مخالف را دارد، برای کاربردهای راداری و شناسایی از طریق فرکانس‌های رادیویی با توان مصرفی پایین با مساحت مصرفی بهینه معرفی شده است. با استفاده از بایاس بدنه و تکنیک‌های بکار گرفته شده، مدار پمپ بار می‌تواند عملکرد خوبی را از خود نشان دهد. بکار گرفتن دوشاخه به طور هم‌زمان با دو پالس ساعت با فاز مخالف باعث تسریع خاموش و روشن‌شدن ترانزیستورها شده و در نتیجه با ولتاژ ورودی پایین ۳۰۰ میلی‌ولت و فرکانس ۲۰۰ کیلوهرتز، در خروجی مدار در ۲ میلی‌ثانیه ولتاژ خروجی به بالای ۱,۲ ولت به دست می‌آید. این طراحی با استفاده از پروسهٔ ۱۸۰ نانومتر تکنولوژی CMOS صورت‌گرفته و به دلیل استفاده از تعداد ترانزیستور کمتر و خازن‌های کوچک‌تر مساحت کمتری را مصرف می‌کند. به‌کارگیری تکنیک‌های برداشت انرژی همواره می‌تواند در جهت کاهش توان مصرفی برای این بلوک‌های ذکر شده در مقاله مفید و کاربردی باشد.

۵- مراجع

[1] M. Nilforoosh and R. Aghajani, "SINR Enhancement in Co-located MIMO RADAR with Multiple Targets," Journal of Radar, vol. 8, no. 2, 2020 (Serial No. 24) (In Persian).

[2] F. Pan and T. Samaddar, "Charge Pump Circuit Design," New-York :McGraw-Hill, 2006.

[3] W. W. Lau and L. Siek, "A 2.45 GHz CMOS rectifier for RF energy harvesting," in 2016 IEEE wireless power transfer conference (WPTC): IEEE, pp. 1-3, 2016.

[4] H. Peng, N. Tang, Y. Yang and D. Heo, "CMOS Startup Charge Pump with Body Bias and Backward Control for Energy Harvesting Step-Up Converters," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 6, pp. 1618-1628, 2014.

[5] A. Ballo, A. D. Grasso and G. Palumbo, "A High-Performance Charge Pump Topology for Very-Low-Voltage Applications," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 67, no. 7, pp. 1304-1308, 2020.

[6] A. Mahmoud, M. Alhawari, B. Mohammad, H. Saleh, and M. Ismail, "A charge pump-based power management unit with 66%-efficiency in 65 nm CMOS," in 2018 IEEE International Symposium on Circuits and Systems (ISCAS): IEEE, pp. 1-4), 2018.

[7] Ballo, G. Giustolisi, A. D. Grasso, and G. Palumbo, "A Clock Boosted Charge Pump with Reduced Rise Time," in 2018 25th IEEE International Conference on Electronics, Circuits and Systems (ICECS): IEEE, pp. 605-608, 2018.

[8] A. Mahmoud, M. Alhawari, B. Mohammad, H. Saleh, and M. Ismail, "A multi-input, multi-output power management unit using Dickson charge pump for energy harvesting applications," in Proc. IEEE 59th Int. Midwest Symp. Circuits Syst. (MWSCAS), Florence, Italy, pp. 1–4, 2016.

[9] A. Mahmoud, M. Alhawari, B. Mohammad, H. Saleh and M. Ismail, "A Gain-Controlled, Low-Leakage Dickson Charge Pump for Energy-Harvesting Applications," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 27, no. 5, pp. 1114-1123, 2019.

[10] Carlos A. Pinheiro, Fabián Olivera, Antonio Petraglia, "A Three-Stage Charge Pump with Forward Body Biasing in 28 nm UTBB FD-SOI CMOS," IEEE Transactions on Circuits and Systems I: Regular Papers, vol.68, no.11, pp.4810-4819, 2021.

[11] Tingxu Hu, Mo Huang, Yan Lu, Rui P. Martins, "A Capacitor-Cross-Connected Boost Converter with Duty Cycle < 0.5 Control for Extended Conversion-Ratio and Soft Start-Up," IEEE Transactions on Circuits and Systems I: Regular Papers, vol.69, no.10, pp.4272-4283, 2022.

[12] Andrea Ballo, Alfio Dario Grasso, Gaetano Palumbo, "A Bulk Current Regulation Technique for Dual-Branch Cross-Coupled Charge Pumps," IEEE Transactions on Circuits and Systems II: Express Briefs, vol.69, no.10, pp.4128-4132, 2022.