Designing a Highly sensitive Envelope Detector with Very Low Transition Time for RADAR Applications Using the 180 nm CMOS Technology

O. Rahimi, S. A. H. Mir, S. V. Mirmoqtadaei *

* Assistant Professor, Shahrekord University, Shahrekord, Iran

(Received:04/03/2021, Accepted:25/04/2021)

Abstract

This paper presents a high sensitivity envelope detector in 2.7GHz to 3.9GHz frequency band using the 180 nm CMOS technology. The detector is based on the successive detection logarithmic amplifiers (SDLAs) and consists of three sections: the detector core (rectifier), the semi-logarithmic RF amplifier, and the output stage. The detector core is based on the unbalanced source coupled method, which provides a full-wave rectifier. The frequency bandwidth and transition time of the detector core are 0.1GHz to 10 GHz and 1ns, respectively. In this paper, the sensitivity of the detector is also improved about 2 dB by injecting part of the input signal into the tail current path. A proposed low-noise amplifier (LNA) with a single input, a differential output and a simple differential amplifier in series are used to amplify the signal. The output stage provides a low pass filter and drives a 2pF output capacitance, without increasing the transition time. By using RF power limiters in the outputs of LNA and differential amplifier, a semi-logarithmic behavior for the total circuit is obtained while preventing the saturation of amplifiers due to the large input signal. Post-layout simulation results by Spectre-RF show the sensitivity of -45dBm and the rise and fall times of less than 1.2ns, which is a significant improvement compared to recently reported works. This detector has 20dB semi-logarithmic dynamic range and 12mW power consumption from a voltage source of 1.8V. The occupied area of the detector core is only 72µm×72µm, while the active area of the total detector, including amplifiers, limiters, rectifiers and output buffer is 0.7mm×0.55mm..

Keywords: Successive Envelope detector, Source Coupled, Semi-Logarithmic Amplifier, Limiter

* Corresponding author E-mail: mirmoghtadaei@sku.ac.ir

نشریه علمی «رادار»
سال نهم، شماره ۲، پاییز و زمستان ۱۴۰۰؛ ص ۲۳-۱۵

علمی – پژوهشی

طراحی یک آشکارساز پوش با زمان گذار بسیار کم و حساسیت بالا با استفاده از تکنولوژی 180nm CMOS برای کاربردهای راداری

امید رحیمی[۱]، سید امیر حسین میر[۲]، سید وحید میرمقتدایی[۳*]

۱و۲- کارشناسی ارشد ۳- استادیار، دانشگاه شهرکرد، شهرکرد، ایران

(دریافت: ۱۳۹۹/۱۲/۱۴ ، پذیرش: ۱۴۰۰/۰۲/۰۵)

چکیده

در این مقاله یک آشکارساز پوش در بازه فرکانسی 2.7GHz تا 3.9GHz با زمان گذار بسیار کم و حساسیت بالا در تکنولوژی 180nm CMOS ارائه شده است. آشکارساز مبتنی بر روش تقویت‌کننده‌های لگاریتمی آشکارسازی متوالی بوده و از سه قسمت تشکیل شده است: هسته آشکارساز (یکسوساز)، تقویت‌کننده RF شبه لگاریتمی، طبقه خروجی. هسته اصلی آشکارساز، مبتنی بر روش سورس کوپل شده نامتقارن است که به‌صورت یکسوساز تمام موج عمل می‌کنند و دارای بازه فرکانسی 0.1GHz تا 10GHz با زمان گذار 1ns است. در این مقاله همچنین با تزریق بخشی از ورودی به مسیر جریان tail، حساسیت آشکارساز به‌اندازه 2 dB بهبود یافته است. جهت تقویت سیگنال، از یک تقویت‌کننده کم نویز پیشنهادی با ورودی تکی و خروجی تفاضلی و یک تقویت‌کننده تفاضلی ساده به‌صورت سری استفاده شده است. طبقه خروجی ضمن اینکه سیگنال آشکار شده پالسی را بدون افزایش قابل‌توجه در زمان‌های فرازوفرود فیلتر می‌کند، می‌تواند یک بار خازنی 2pF را راه‌اندازی نماید. در این مقاله همچنین با به‌کارگیری محدودکننده‌های توان ماسفتی در تقویت‌کننده کم نویز و تقویت‌کننده تفاضلی، ضمن جلوگیری از اشباع تقویت‌کننده‌ها در اثر سیگنال ورودی با دامنه بزرگ، یک رفتار شبه لگاریتمی برای مدار کلی حاصل شده است. نتایج شبیه‌سازی پس از لی اوت مدار پیشنهادی با استفاده از Spectre-RF در فرکانس 3.3 GHz نشان می‌دهد که حساسیت این آشکارساز بهتر از 45dBm- و زمان‌های فرازوفرود کمتر از 1.2ns می‌باشد که نسبت به کارهای اخیر بهبود قابل‌توجهی دارد. رنج دینامیکی شبه لگاریتمی این آشکارساز 20 dB، مصرف توان قسمت آشکارساز آن حدود 12mW از یک منبع ولتاژ 1.8V و مساحت اشغالی آن 72µm×72µm است، درحالی‌که مساحت ناحیه فعال آشکارساز کل، شامل تقویت‌کننده‌ها، محدودکننده‌ها، آشکارسازها و بافر خروجی 0.7mm×0.55mm است.

کلید واژه‌ها: آشکارساز پوش متوالی، سورس کوپل شده، تقویت‌کننده شبه لگاریتمی، محدودکننده

۱- مقدمه

هرچند گیرنده‌های مبتنی بر آشکارسازهای پوش نسبت به دیگر معماری‌های فرستنده-گیرنده‌ها، به نویز و اختلال حساسیت بیشتری دارند ولی همچنان به دلیل سادگی موردتوجه هستند [۱-۳]. به‌عنوان مثال از این گیرنده‌ها همچنان در ارتباطات مخابراتی جهت کنترل اتوماتیک توان RF [۳-۵]، همچنین برای کاربردهایی مانند ریموت‌های حرارتی[1] و شبکه‌های شخصی بیسیم[2] در باند 57-64 GHz برای مخابرات رنج کوتاه و... استفاده می‌شود [۶]. این نوع گیرنده‌ها با استخراج پوش سیگنال دریافتی، طیف سیگنال ورودی را مستقیماً به باند پایه منتقل می‌کنند و به دلیل عدم نیاز به میکسر و نوسان‌ساز محلی دارای مصرف توان، مساحت اشغالی و پیچیدگی کمتری هستند.

به‌طورکلی برای آشکارسازی از روش‌های مبتنی بر آشکارسازهای حرارتی، آشکارسازهای دیودی و آشکارسازهای ترانزیستوری استفاده می‌شود [۱]. از جمله مسائل چالش‌برانگیز در سیستم‌های آشکارساز، دستیابی به حساسیت و رنج دینامیکی بالا، پالس آشکارشده با Ringing (لرزش نوسانی در انتهای پالس آشکارشده) و مصرف توان کم، مساحت اشغالی کم و نیز تولید یک ولتاژ آشکارشده با مقدار دامنه مطلوب می‌باشد. آشکارسازهای حرارتی بسیار پیچیده و گران‌قیمت هستند [۷] و آشکارسازهای دیودی دارای خازن‌های پارازیتی می‌باشند که عملکرد آن‌ها را در فرکانس‌های بالا محدود می‌کند [۷-۹]. آشکارسازهای ترانزیستوری دارای رنج دینامیکی محدود می‌باشند ولی در ترکیب با تقویت‌کننده‌های لگاریتمی، حساسیت و رنج دینامیکی آن‌ها بسیار بهبود می‌یابد؛ ازاین‌رو آشکارسازهای ترانزیستوری از محبوبیت بیشتری برخوردار هستند [۱]. به‌طورکلی آشکارسازهای ترانزیستوری در ترکیب با

* رایانامه نویسنده مسئول: mirmoghtadaei@sku.ac.ir

[1] Thermal Remote
[2] Wireless Personal Network

تقویت‌کننده‌های لگاریتمی به چهار دسته تقسیم می‌شوند: تقویت‌کننده لگاریتمی محدودکننده سری (SLLA[1]) [۲]، تقویت‌کننده‌های لگاریتمی تقویت موازی (PALA[2]) [۳]، تقویت‌کننده‌های لگاریتمی آشکارساز ویدئویی (DLVA[3]) [۱۰] و تقویت‌کننده‌های لگاریتمی آشکارسازی متوالی (SDLA[4]) [۱]. در سیستم‌های SLLA تعداد N طبقه تقویت‌کننده با هم سری می‌شوند که طبق رابطه (۱) پهنای باند کل بسیار کاهش می‌یابد به همین علت این سیستم‌ها در طرح‌های پهن باند کاربرد ندارند [۱۱]:

$$BW_{tot} = \mathrm{BW} \times \sqrt{2^{\frac{1}{N}} - 1} \qquad (۱)$$

که در آن BW_{tot} پهنای باند کل و BW پهنای باند یک طبقه است. هرچند در سال‌های اخیر رنج دینامیکی سیستم‌های PALA بهبود یافته است ولی به علت تغییرات تأخیر فاز، همچنان کاربرد چندانی ندارند [۱۲]. سیستم‌های مبتنی بر DLVA رنج دینامیکی بالا و پاسخ فرکانسی مطلوبی دارند ولی به علت آفست ولتاژ و تغییرات آن نسبت به حرارت در فرکانس‌های بالای 2 GHz استفاده نمی‌شود [۱۳]. معماری SDLA ضمن داشتن رنج دینامیکی بالا و پاسخ فرکانسی مطلوب، خطای لگاریتمی و آفست ولتاژ کمی حتی در فرکانس‌های بالای 2 GHz دارد [۱۰] که به همین دلیل در این مقاله موردتوجه قرار گرفته است.

در مقاله [۱] با اینکه از طرح SDLA با چهار طبقه تقویت‌کننده و پنج یکسوساز و استفاده از SiGe HBT[5] برای افزایش حساسیت و محدوده دینامیکی استفاده شده است ولی همچنان حساسیت، مقدار 39- dBm در فرکانس 3 GHz بوده و وابستگی حساسیت آن به فرکانس زیاد است. در مدار ارائه شده در [۱۴] که از روش SDLA استفاده شده، پنج طبقه تقویت‌کننده GaN جهت افزایش حساسیت و رنج دینامیکی به کار گرفته شده است. هرچند حساسیت متوسط مدار کل 55 dBm- است ولی حساسیت هسته اصلی یکسوساز آن کم و برابر با 5 dBm- است که مقدار مطلوبی نیست. آقای Chien-Chang Chou و همکارانش در [۶] به حساسیت و رنج دینامیکی بالا و خطای لگاریتمی پایین در فرکانس موج میلی‌متری باند V دست یافته‌اند اما علی‌رغم استفاده از تکنولوژی 90 nm و روش SDLA و استفاده از چهار طبقه تقویت‌کننده، رنج دینامیکی 50 dB حاصل شده ولی حساسیت کلی 50 dBm- به دست آمده که این بیانگر پایین بودن حساسیت هسته آشکارساز آن است. در SDLA معرفی شده در [۵]، با استفاده از شش طبقه تقویت‌کننده و به قیمت افزایش توان مصرفی و مساحت اشغالی، به حساسیت 30 dBm- در فرکانس 1.8 GHz رسیده که مقدار کمی است. همچنین حساسیت مدار به دلیل استفاده از طبقات زیاد در روش SDLA، وابستگی زیادی به فرکانس داشته و با افزایش فرکانس به‌شدت کاهش می‌یابد. هسته یکسوساز معرفی شده در [۱۵] دارای حساسیت 20 dBm- تا 30 dBm- است که در صورت استفاده از آن در سیستم‌های SDLA می‌توان به حساسیت بسیار خوبی رسید اما در اینجا هم حساسیت مدار به دلیل نحوه تمام موج کردن مدار آشکارساز، وابستگی زیادی به فرکانس داشته و در رنج فرکانسی 0.1-1 GHz به‌اندازه 10 dB افت کرده است که منجر به کاهش عملکرد آن می‌شود. در مقاله [۱۶] با استفاده از یک بافر به‌جای پیش تقویت‌کننده، سرعت آشکارسازی افزایش یافته است ولی علاوه بر بالا بودن مصرف توان مشاهده می‌شود که رنج دینامیکی با افزایش فرکانس کاهش چشمگیری دارد. در مراجع [۱۷] و [۱۸]، زمان‌های گذار نسبتاً زیاد است که به ترتیب به دلیل استفاده از مبدل ولتاژ به جریان قبل از آشکارساز و استفاده از تقویت‌کننده‌های عملیاتی است. کند بودن پاسخ زمانی‌های در مراجع [۱۷] و [۱۸]، کاربردهای آن‌ها را در تصویربردارهای با رزولوشن بالا و یا رادارهای با امکان تفکیک اهداف بالا، محدود می‌کند. در کارهای قبلی، عمدتاً سیگنال‌های ورودی RF ابتدا به جریان تبدیل شده و سپس سیگنال پوش خروجی از یک فیلتر پایین گذر عبور می‌کند درنتیجه به دلیل محدودیت پهنای باند فرکانسی فیلترها، چنین ساختاری دارای پاسخ زمانی کند می‌باشند. در مقاله [۱۹] به‌منظور بهبود سرعت آشکارسازی و دستیابی به عملکرد پهنای باند با فرکانس بالا، یک معماری آشکارسازی مستقیم ولتاژ معرفی شده است ولی به دلیل اینکه سیگنال خروجی از نوع ولتاژ است نمی‌توان مطابق با طرح SDLA، خروجی‌های چند بلوک از آن را بدون مدارات اضافی با هم جمع کرد، در نتیجه مساحت و توان مصرفی آن بیشتر می‌شود.

جهت افزایش حساسیت و رنج دینامیکی در آشکارسازهای پوش، از تقویت‌کننده‌های لگاریتمی و شبه لگاریتمی قبل از آشکارسازی استفاده می‌کنند. در صورت استفاده از یک محدودکننده توان نرم در خروجی تقویت‌کننده پهن باند انتظار می‌رود رفتار آن در یک بازه توان ورودی شبیه یک تقویت‌کننده لگاریتمی شود. چنانچه رفتار فرکانسی محدودکننده و تقویت‌کننده پهن باند باشد، تقویت‌کننده شبه لگاریتمی حاصل نیز پهن باند می‌شود.

در این مقاله یک آشکارساز پوش بسیار سریع در بازه فرکانسی 2.7 GHz تا 3.9 GHz با زمان گذار بسیار سریع با استفاده از تکنولوژی ارزان‌قیمت 180 nm CMOS مبتنی بر

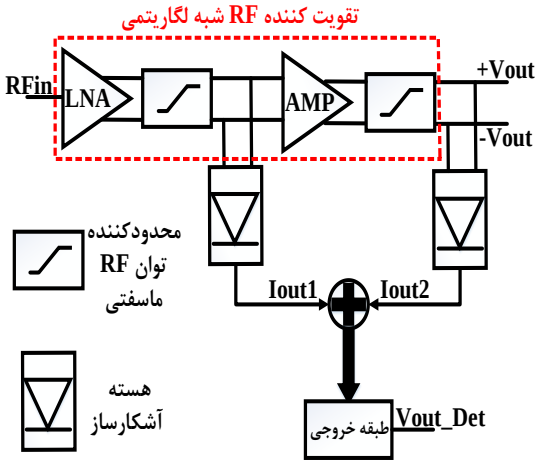
[1] Series Limiting Logarithmic Amplifier(SLLA)
[2] Parallel Amplification Logarithmic Amplifier(PALA)
[3] Detector Logarithmic Video Amplifiers(DLVA)
[4] Successive Detection Logarithmic Amplifiers(SDLA)
[5] Hetrojunction Bipolar Transistors

معماری SDLA معرفی شده است. هسته اصلی این آشکارساز در بازه فرکانسی 0.1 GHz تا 10 GHz دارای حساسیت بهتر از -20 dBm است. تقویت‌کننده شبه لگاریتمی پیشنهادی در این مقاله، تنها از یک تقویت‌کننده کم نویز با ورودی تکی و خروجی دیفرانسیل و یک تقویت‌کننده دیفرانسیلی تشکیل شده که در خروجی هر دو، از محدودکننده‌های توان ماسفتی استفاده شده است. مدارات محدودکننده ضمن جلوگیری از اشباع تقویت‌کننده‌ها، باعث نزدیک شدن عملکرد مدار به تقویت‌کننده‌های لگاریتمی و افزایش رنج دینامیکی می‌شود. در مدار هسته آشکارساز، از ترکیب دو ایده یکسوساز ارائه شده استفاده شده است (بخش مربوط به هسته آشکارساز پیشنهادی) به‌نحوی‌که مدار پیشنهادی دارای حساسیت بهتر از -22 dBm (2 dB حساس‌تر نسبت به کارهای مشابه قبلی) در رنج فرکانسی بسیار پهن 0.1 GHz تا 10 GHz است. همچنین وابستگی حساسیت به فرکانس بسیار کاهش پیدا کرده به‌نحوی‌که فقط به‌اندازه 3 dB افت حساسیت در کل باند وجود دارد.

این مقاله در ادامه به‌صورت زیر ارائه خواهد شد: در بخش ۲ بلوک دیاگرام کلی، LNA پیشنهادی و تقویت‌کننده شبه لگاریتمی پیشنهادی ارائه می‌شود، همچنین هسته آشکارساز پیشنهادی و طبقه خروجی نیز در همین بخش ارائه خواهد شد. نتایج شبیه‌سازی پس از لی اوت و مقایسه آن در بخش ۳ آمده است. بخش ۴ نیز به نتیجه‌گیری اختصاص یافته است.

۲- توصیف مدارات آشکارساز پوش پیشنهاد شده

چنانچه در بخش قبل گفته شد، از میان روش‌های آشکارسازی، روش SDLA دارای رنج دینامیکی و حساسیت بهتری است. بلوک دیاگرام آشکارساز پوش پیشنهادی مبتنی بر روش SDLA در شکل (۱) آمده است.



شکل (۱). بلوک دیاگرام آشکارساز پیشنهادی مبتنی بر روش SDLA

این طرح از یک تقویت‌کننده کم نویز (LNA) با ورودی تکی و خروجی دیفرانسیلی[1] و یک تقویت‌کننده دیفرانسیلی و دو محدودکننده توان RF در خروجی هر دو بخش تشکیل شده است. LNA علاوه بر داشتن نقش یک تقویت کم نویز، با تبدیل سیگنال ورودی به خروجی تفاضلی، به‌عنوان BALUN[2] هم عمل می‌کند. محدودکننده‌های به‌کاررفته در خروجی تقویت‌کننده‌ها از افزایش دامنه و به اشباع رفتن طبقات بعدی جلوگیری می‌کند. نتیجه این ترکیب، کاهش Ringing در انتهای پالس زمانی سیگنال ورودی است. همچنین عملکرد هم‌زمان تقویت‌کننده و محدودکننده، رفتاری شبه لگاریتمی ایجاد می‌کند. سیگنال خروجی هر طبقه تقویت‌کننده، چنانچه در شکل نیز مشخص است، به یک یکسوساز تمام موج جهت آشکارسازی پوش سیگنال ورودی متصل می‌شوند. پوش آشکار شده توسط یکسوسازها از جنس جریان بوده و در طبقه خروجی برای افزایش حساسیت و کاهش ریپل آن، با هم جمع می‌شوند.

۲-۱- تقویت‌کننده شبه لگاریتمی پیشنهادی

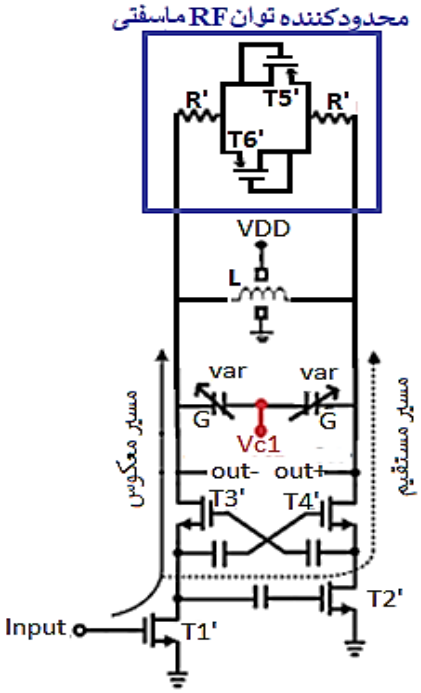
از آنجاکه تقویت‌کننده‌ها به‌سرعت به اشباع رفته و پاسخ کلی را از حالت لگاریتمی خارج می‌نمایند؛ لذا از محدودکننده‌های توان با مشخصه توان خروجی برحسب توان ورودی نسبتاً نرم به‌منظور دستیابی به یک پاسخ شبه لگاریتمی استفاده شده است. چنانچه در بخشه‌ای بعدی گفته خواهد شد ترکیب یک تقویت‌کننده و این محدودکننده منجر به یک رفتار شبه لگاریتمی خواهد شد.

با توجه به کوچک بودن زمان‌های فرازوفرود پالس RF ورودی، لازم است تا تقویت‌کننده‌های در مسیر سیگنال که شامل LNA ورودی و تقویت‌کننده تفاضلی است به‌اندازه کافی پهن باند طراحی شوند تا زمان‌های فرازوفرود پالس RF ورودی افزایش قابل‌توجه نیابند. به‌منظور دستیابی به پاسخ فرکانسی کل با بیشترین پهنای باند، پیک بهره LNA و پیک بهره تقویت‌کننده تفاضلی بر روی دو فرکانس مختلف نظیر ابتدا و انتهای پاسخ فرکانسی موردنظر تنظیم می‌گردد به‌گونه‌ای که پاسخ کلی از نظر پهنای باند و تغییرات بهره، قابل‌قبول بشود.

در این مقاله جهت پیاده‌سازی LNA از طرح ارائه شده در [۲۰] با اعمال تغییراتی استفاده شده است. LNA پیشنهادی که در شکل (۲) نشان داده شده است دارای دو مسیر جریان با اختلاف فاز ۱۸۰ درجه است تا حالت دیفرانسیلی را در خروجی ایجاد نماید. همچنین با استفاده از یک سلف دیفرانسیلی با سر وسط و انتخاب مناسب خازن‌های موازی آن، فرکانس پیک پاسخ

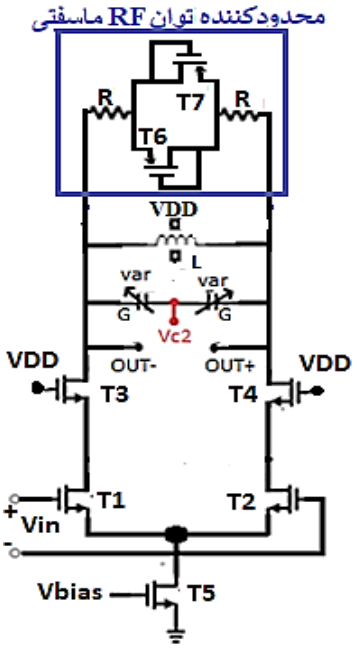
[1] Single to Differential Low Noise Amplifier
[2] Balance to Unbalance

فرکانسی بر روی 2.67 GHz تنظیم می‌گردد. با استفاده از خازن‌های قابل‌کنترل با ولتاژ می‌توان پیک پاسخ فرکانسی را با دقت مناسبی حتی پس از ساخت تنظیم نمود. هرچند سلف‌های تکنولوژی به‌کاررفته، خود دارای ضریب کیفیت محدود می‌باشد، بااین‌حال می‌توان با موازی کردن مقاومت با سلف خروجی ضریب کیفیت را کاهش داد تا به پهنای باند موردنظر دست یافت. ایده به‌کاررفته در این LNA استفاده از محدودکننده‌های توان RF با مشخصه نسبتاً نرم به‌صورت تفاضلی، موازی با سلف خروجی است. محدودکننده‌های توان به‌کاررفته با استفاده از ماسفت‌های نوع P و به‌صورت اتصال دیودی (Diode-Connected) پیاده‌سازی شده‌اند و ضمن نداشتن اثر بدنه در ماسفت، با استفاده از سری نمودن مقاومت سری، مشخصه محدودکننده حاصل تا حد نیاز نرم شده است.



شکل (۲). LNA پیشنهادی

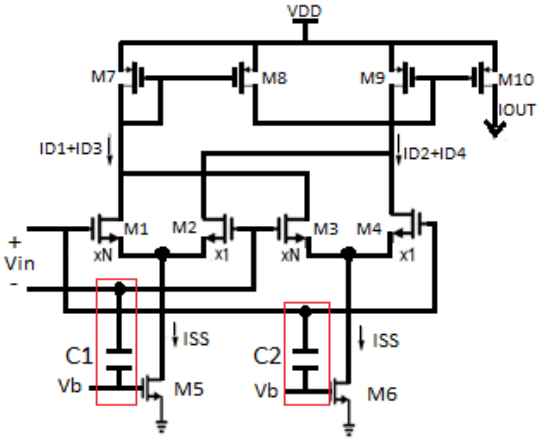
تقویت‌کننده به‌کاررفته بعد از LNA، یک تقویت‌کننده ساده تفاضلی است که در شکل (۳) نشان داده شده است. جهت کاهش اثر میلر قطب‌های مربوط به خازن Cgd ترانزیستورهای ورودی، از معماری کسکود استفاده شده است. در این تقویت‌کننده با استفاده از یک سلف سر وسط موازی با خازن‌های مناسب، فرکانس پیک پاسخ فرکانسی بر روی 3.8 GHz تنظیم می‌گردد. در این تقویت‌کننده نیز از خازن‌های قابل‌کنترل با ولتاژ استفاده شده است تا پیک پاسخ فرکانسی با دقت مناسب حتی پس از ساخت قابل تنظیم باشد. جهت کاهش ضریب کیفیت سلف و افزایش بیشتر پهنای باند این تقویت‌کننده نیز می‌توان یک مقاومت با سلف موازی کرد. به‌منظور بهبود عملکرد لگاریتمی در این تقویت‌کننده نیز از محدودکننده‌ها موازی با سلف خروجی استفاده شده است. در این طرح با ترکیب پاسخ فرکانسی LNA و پاسخ فرکانسی تقویت‌کننده، پهنای باند 1.2 GHz در بازه فرکانسی 2.7-3.9 GHz حاصل شده است.



شکل (۳). تقویت‌کننده تفاضلی پیشنهادی

۲-۲- هسته آشکارساز پیشنهادی

یکسوسازهای تمام موج به کار رفته در این طرح مبتنی بر روش سورس کوپل شده نامتقارن (USC[1]) می‌باشند [۲۱]. یک جفت از USC به‌صورت یکسوساز نیم موج عمل می‌کند، ازاین‌رو یکسوساز تمام موج را می‌توان با ترکیب دو جفت از آن‌ها طراحی کرد. شکل (۴) هسته اصلی آشکارساز بسیار پهن باند این طرح را نشان می‌دهد.



شکل (۴). هسته اصلی آشکارساز پوش پیشنهادی

[1] Unbalanced Source Coupled

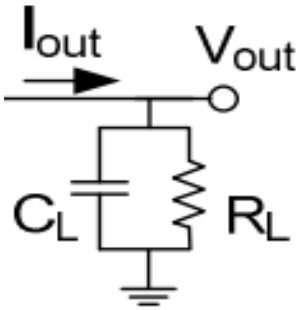
همان‌طور که از شکل مشخص است جفت یکسوسازهای نیم موج (M1-M2 و M3-M4) به‌صورت موازی به یکدیگر وصل شده‌اند تا به‌صورت یک یکسوساز تمام موج عمل کنند [۲۱] و [۲۲]. با نوشتن KCL در خروجی رابطه I_{out} طبق رابطه (۲) محاسبه می‌شود:

$$=(I_{D2}+I_{D4}) - (I_{D1}+I_{D3})\ I_{out} \qquad (۲)$$

در کاربردهای مختلف با توجه به نیازمندی مسئله نسبت (W/L) ترانزیستورهای M1 و M3 را می‌توان ضریب صحیحی(N) از نسبت (W/L) ترانزیستورهای M2 و M4 انتخاب کرد. مقدار N تأثیر مستقیم بر روی جریان خروجی دارد، به این صورت که هرچه N بزرگ‌تر انتخاب شود مقدار I_{SS} بیشتر شده و در نتیجه مقدار I_{out} بیشتر می‌شود و بالعکس. ولی مقدار N را نمی‌توان از یک حدی بیشتر کرد زیرا با این کار ولتاژ Over Drive ترانزیستورهای سورس کوپل شده افزایش می‌یابد و ممکن است ترانزیستورها وارد ناحیه ترایود شده و عملیات آشکارسازی را با مشکل روبه‌رو کنند. در مقاله [۱۵]، با اینکه با پیاده‌سازی ایده‌ای توانسته‌اند حساسیت را بهبود دهند ولی به علت روش تمام موج کردن نامطلوب، رنج فرکانسی بسیار کاهش پیدا کرده است ولی نحوه تمام موج کردن یکسوساز طرح [۲۱] بسیار ساده بوده و تأثیر چندانی روی رنج فرکانسی ندارد؛ ازاین‌رو در این مقاله جهت افزایش حساسیت و دستیابی به رنج فرکانسی مطلوب مطابق شکل (۴)، یکسوساز بیان‌شده در [۲۱] با ایده بیان‌شده در مقاله [۱۵] ترکیب‌شده است. مطابق شکل (۴) اگر توسط خازن‌های C1 و C2 ورودی را به‌صورت مخالف به گیت ترانزیستورهای منبع جریان متصل کنیم، بخشی از سیگنال ورودی بر جریان‌های I_{SS} سوارمی شود. ازاین‌رو در نیم سیکل مثبت که ترانزیستورهای M1 و M4 روشن هستند، دامنه ورودی باعث افزایش جریان M6 و کاهش جریان M5 می‌شود که افزایش جریان M4 و کاهش جریان M1 را به دنبال دارد. همانند آنچه در نیم سیکل مثبت اتفاق می‌افتد، در نیم سیکل منفی، جریان M2 افزایش و جریان M3 کاهش می‌یابد. بنابراین در رابطه (۲) مقدار $I_{D2}+I_{D4}$ افزایش و مقدار $I_{D1}+I_{D3}$ کاهش می‌یابد، در نتیجه جریان I_{out} افزایش یافته و منجر به بهبود حساسیت می‌شود [۱۵]. یکسوساز ها در خروجی LNA و خروجی تقویت‌کننده، پوش سیگنال را آشکار کرده و به جریان تبدیل می‌کنند. پوش آشکارشده توسط این یکسوسازها در طبقه خروجی جهت افزایش دامنه سیگنال خروجی و بهبود حساسیت با هم جمع می‌شوند.

۳-۲- طبقه خروجی

بنابر توضیحات داده شده، I_{out} یک جریان یکسوشده تمام موج است که برای تبدیل این جریان به ولتاژ کافی است در خروجی مطابق شکل (۵) از یک فیلتر پایین گذر (R_L-C_L) استفاده کرد تا علاوه بر تبدیل جریان خروجی به ولتاژ، ریپل ایجادشده در خروجی نیز کاهش یابد.



شکل (۵). فیلتر پایین گذر خروجی

با افزایش ظرفیت خازن C_L ریپل ولتاژ خروجی کاهش می‌یابد ولی باعث افزایش زمان‌های فرازوفرود می‌شود، به همین علت با قبول کمی ریپل، مقدار خازن C_L به‌گونه‌ای انتخاب می‌شود که زمان‌های فرازوفرود تا حد امکان کوچک شوند. یکی دیگر از پارامترهای مؤثر بر روی زمان‌های فرازوفرود مقدار N می‌باشد. هرچه N زیادتر شود مقدار I_{SS} و در نتیجه I_{out} افزایش می‌یابد بنابراین ولتاژ DC خروجی افزایش یافته که باعث می‌شود ترانزیستور M10 به سمت ترایود حرکت کند. جهت کاهش ولتاژ DC خروجی باید مقدار R_L کم انتخاب شود که خود منجر به افزایش ریپل خروجی می‌شود. ازاین‌رو جهت کاهش ریپل باید مقدار C_L را افزایش داد که همان‌طور که توضیح داده شد این کار باعث افزایش زمان‌های فرازوفرود می‌شود. از طرفی مقدار N روی حساسیت مدار تأثیر می‌گذارد به‌نحوی‌که افزایش N باعث افزایش حساسیت می‌شود؛ بنابراین طراحی مدار از نظر نقاط کار یک چالش بسیار مهم و کلیدی جهت رسیدن به مطلوبات مسئله به‌طور هم‌زمان است؛ بنابراین باید مداری در خروجی پیاده‌سازی شود که علاوه بر کاهش ریپل، روی حساسیت و زمان‌های فرازوفرود تا حد امکان اثر نگذارد. بدین منظور جهت ثابت ماندن کشیدگی زمان‌های فرازوفرود لازم است خازن فیلتر (C_L) که شامل خازن‌های پراکندگی نیز می‌باشد متناسب با فرکانس RF ورودی انتخاب شود. رابطه (۳) فرکانس قطع فیلتر RC را نشان می‌دهد:

$$f_c = 1/2\pi\tau \qquad (۳)$$

که در آن τ، ثابت زمانی طبق رابطه (۴) محاسبه می‌شود:

$$R_L.C_L=\tau \quad (۴)$$

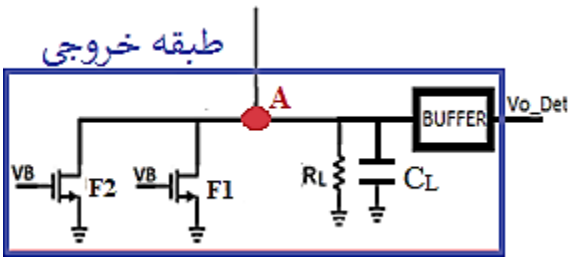
برای اینکه زمان‌های فرازوفرود در خروجی زیاد نشوند و فیلتر خروجی بتواند فرکانس حامل را حذف و یا بسیار تضعیف کند باید این ثابت زمانی به‌قدری کوچک انتخاب شود تا پوش سیگنال دقیق و بدون کشیدگی در زمان‌های فرازوفرود آشکار شود. در این طراحی مقدار τ برابر با 0.4ns در نظر گرفته شده است؛ بنابراین طبق رابطه (۴) مقدار فرکانس قطع برابر با 400MHz شود. برای اینکه بتوانیم برای C_L رابطه‌ای برحسب f به دست بیاوریم باید در یک فرکانس مثلاً 3GHz مقدار مقاومت و خازن مطلوب برای آشکارسازی سریع و دقیق پوش را داشته باشیم، اگر مقدار R_L را 800 اهم و ثابت در نظر بگیریم طبق رابطه (۴) مقدار خازن 500fF به دست می‌آید. طبق رابطه (۴) می‌توان رابطه (۵) را نتیجه گرفت:

$$\text{If } R_L=cte \Rightarrow C_{old}=500fF,\ f_{old}=3GHz,\ C_{new}/C_{old}=f_{old}/f_{new} \quad (۵)$$

با جایگزین کردن مقادیر قدیم خازن و فرکانس در رابطه (۵)، مقدار جدید خازن برحسب فرکانس جدید مطابق با رابطه (۶) به دست می‌آید:

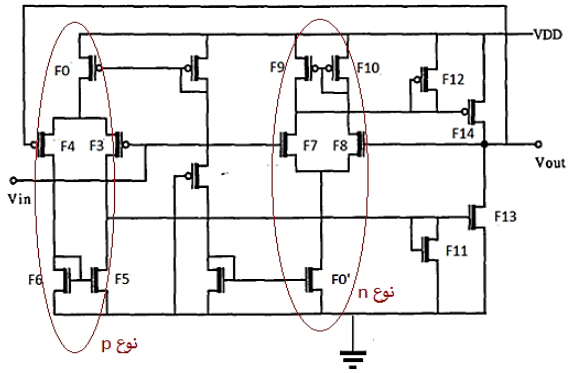
$$C_{new}=(1.5e\text{-}3)/f_{new} \quad (۶)$$

با توجه به اینکه خروجی‌های آشکارشده طبقات مختلف به‌صورت جریان با یکدیگر جمع می‌شوند و سپس جهت تبدیل به ولتاژ به فیلتر R_LC_L وارد می‌شوند، لازم است تا جهت جلوگیری از خروج از نقطه کار مناسب، جریان DC تنظیم شود. بنابراین از یک یا چند منبع جریان سینک طبق آنچه در شکل (۶) نشان داده شده است استفاده می‌گردد. مشخص است که خازن‌های پراکندگی در نود A در شکل، در خازن فیلتر R_LC_L جذب می‌شوند.



شکل (۶). طبقه خروجی

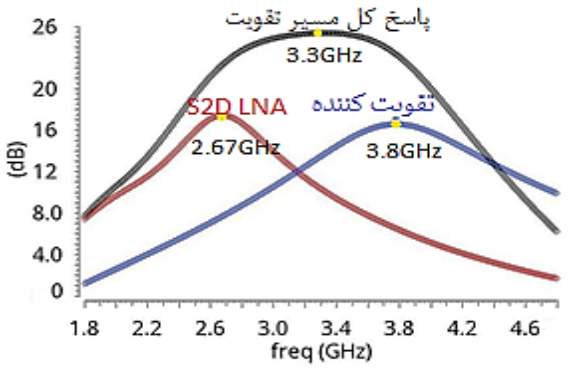
بافر به‌کاررفته در طبقه خروجی این طرح، جهت راه‌اندازی خازن خارجی 2pF خروجی می‌باشد. این بافر که در شکل (۷) نشان داده شده است، برای راه‌اندازی بارهای خازنی بالا مناسب بوده و به علت عدم استفاده از خازن‌های جبران ساز، مساحت مصرفی آن کم است. طبق شکل (۷) در این بافر از دو نیم مدار، یکی نوع n و دیگری نوع p به‌صورت موازی استفاده شده است تا رنج مد مشترک ورودی از صفر تا VDD به‌دست آید [۲۳].



شکل (۷). بافر طبقه خروجی [۲۳]

۳- نتایج شبیه‌سازی

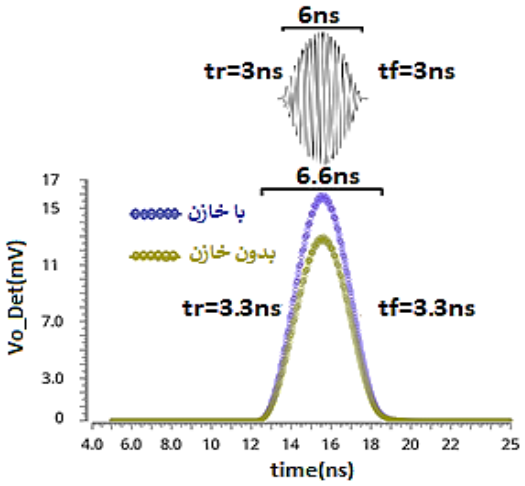
آشکارساز پیشنهادی با استفاده از نرم‌افزار Spectre-RF در تکنولوژی 180 nm CMOS طراحی شده است. شکل (۸) پاسخ فرکانسی بخش LNA، تقویت‌کننده تفاضلی و تقویت‌کننده‌های لگاریتمی در ناحیه خطی عملکرد را نشان می‌دهد. چنانچه از شکل مشخص است پیک پاسخ برای دو تقویت‌کننده به‌گونه‌ای تنظیم شده است تا پاسخ کل به‌اندازه کافی پهن باند با ریپل قابل‌قبول باشد. فرکانس مرکزی پاسخ کل بر روی 3.3 GHz و پهنای باند نصف توان آن 1.2 GHz حاصل شده است.



شکل (۸). پاسخ فرکانسی LNA، تقویت‌کننده تفاضلی و پاسخ کل

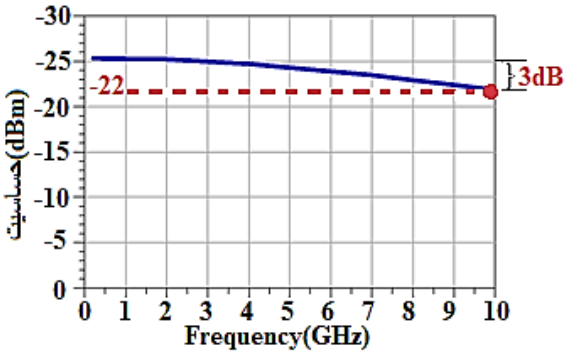
در شکل (۹) پاسخ زمانی آشکارساز به ورودی پالسی با توان -45dBm در فرکانس 3.3 GHz که در حد حساسیت گیرنده است را به ازای دو حالت با و بدون اتصال خازن کوپلاژ ورودی به گیت ترانزیستور tail (مراجعه شود به شکل (۴)) نشان می‌دهد. زمان‌های فرازوفرود سیگنال آشکار شده طبق آنچه در شکل نشان داده شده است فقط به‌اندازه 0.3ns نسبت به پالس RF ورودی افزایش یافته است. چنانچه از شکل مشخص است استفاده از خازن کوپلاژ باعث شده است تا حساسیت گیرندگی به‌اندازه 2

dB بهبود یابد. همچنین زمان‌های فرازوفرود سیگنال آشکار شده نسبت به مقادیر نظیر در سیگنال پالسی ورودی چندان افزایش پیدا نکرده است.



شکل (۹). پوش آشکار شده توسط یکسوساز با / بدون خازن کوپل به گیت ترانزیستور جریان tail

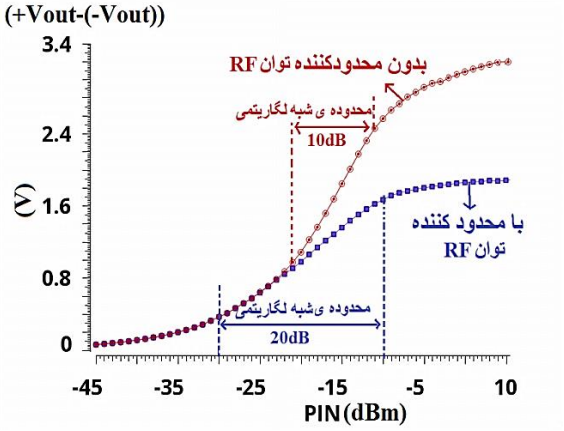
با محاسبه حساسیت یکسوساز پیشنهادی در فرکانس‌های مختلف از 0.1 GHz تا 10 GHz، منحنی حساسیت برحسب فرکانس مطابق شکل (۱۰) قابل رسم است، همان‌طور که از شکل مشخص است حساسیت این یکسوساز در این رنج فرکانسی دارای تغییرات کمی است و همواره حساسیت آن بهتر از 22 dBm- می‌باشد؛ یعنی تنها به‌اندازه 3 dB کاهش یافته است که آن را به یک هسته آشکارساز مطلوب تبدیل می‌کند.



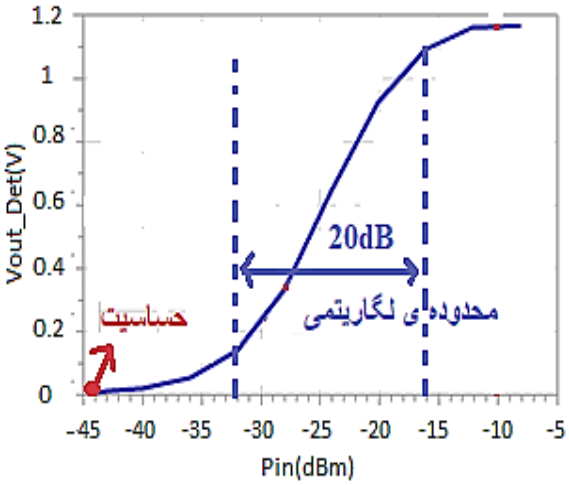
شکل (۱۰). منحنی حساسیت برحسب فرکانس برای هسته آشکارساز

همچنین با استفاده از شبیه‌سازی در حوزه زمان و یا شبیه‌سازی غیرخطی مدار، پاسخ خروجی پس از لی اوت آشکارساز به ازای توان وردی از 45 dBm- تا 10 dBm در فرکانس 3.3 GHz به دست آمده که در شکل (۱۱) نشان داده شده است. چنانچه از شکل مشخص است بدون استفاده از محدودکننده‌ها، عملکرد تقویت‌کننده‌ها زیاد لگاریتمی نیست و محدوده لگاریتمی آن کم و برابر با 10 dB است ولی در صورت استفاده از محدودکننده‌ها در بازه توان 30 dBm- تا 10 dBm- ، عملکرد تقویت‌کننده‌ها شبه لگاریتمی بوده و محدوده لگاریتمی آن 20dB است یعنی 10 dB بهتر شده است.

در شکل (۱۲) نیز پاسخ لگاریتمی ولتاژ آشکارشده در صورت استفاده از محدودکننده‌ها ارائه شده است، همان‌طور که از شکل مشخص است حساسیت این آشکارساز برابر با 45 dBm- و محدوده شبه لگاریتمی آن در بازه توان 32 dBm- تا 12 dBm- می‌باشد؛ یعنی رنج دینامیکی شبه لگاریتمی آن حدود 20 dB است.



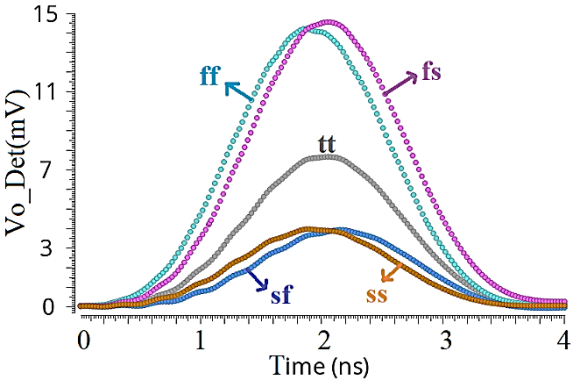
شکل (۱۱). پاسخ لگاریتمی پس از لی اوت تقویت‌کننده‌ها در فرکانس ۳/۳ گیگاهرتز



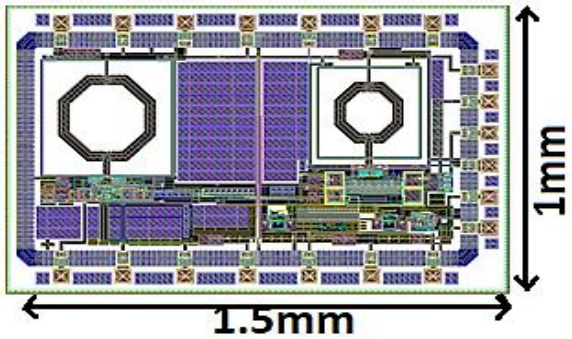
شکل (۱۲). پاسخ لگاریتمی پس از لی اوت ولتاژ آشکارشده در فرکانس ۳/۳ گیگاهرتز

سریع یا کند بودن ترانزیستورها منجر به تغییر در پاسخ‌های مدار می‌شود؛ جهت در نظر گرفتن این ملاحظات پس از ساخت تراشه، پاسخ پالسی آشکارساز چنانچه در شکل (۱۳) آمده است، در فرکانس 3.3GHz برای چهار گوشه پروسه و توان پالسی ورودی 42dBm- شبیه‌سازی شده است. چنانچه در شکل نشان داده شده است به ازای این توان ورودی که فقط 3dB از حساسیت آشکارساز بیشتر است در هر چهار گوشه مقدار آشکار

شده قابل‌قبول است. در شکل (۱۴) نیز تصویر Layout رسم شده در تکنولوژی 180 nm آورده شده است:



شکل (۱۳). پاسخ زمانی ورودی پالسی برای ۴ گوشه پروسه



شکل (۱۴). Layout طرح مبتنی بر SDLA پیشنهادی

در جدول (۱) خلاصه نتایج مدار پیشنهادی و مقایسه آن با کارهای مشابه اخیر صورت گرفته است. مراجع ارائه شده در جدول مقایسه، دارای پاسخ‌های بهتری نسبت به دیگر مراجع بوده‌اند، بااین‌حال مشاهده می‌شود که آشکارساز پیشنهادی دارای حساسیت بهتر، کشیدگی زمان‌های فرازوفرود بسیار کم و رنج فرکانسی وسیع‌تر نسبت به دیگر طرح‌ها می‌باشد هرچند مصرف توان آن کمی بیشتر است.

جهت نزدیک شدن هرچه بیشتر پاسخ‌های شبیه‌سازی به نتایج عملی کلیه شبیه‌سازی‌ها، پس از استخراج شماتیک از لی اوت (Post-Layout Simulation) انجام شده است تا کلیه اثرات خازن‌ها و مقاومت‌های پراکندگی خطوط ارتباطی بین ترانزیستورها و سایر المان‌ها در شبیه‌سازی لحاظ شود. همچنین اثرات Wire-Bondها، پدهای ورودی و خروجی با لحاظ اثر پدهای ESD (Electro-Static Discharge) مطابق شکل (۱۴)، با استفاده از مدل‌های مناسب الکتریکی در شبیه‌سازی در نظر گرفته شده است. مساحت کل این آشکارساز شامل حلقه‌های پیرامونی و پدهای ESD و پدهای ورودی و خروجی، 1.5mm×1mm و مصرف توان آن 216mW از یک منبع تغذیه 1.8V بوده است. هسته آشکارساز این طرح فقط دارای توان مصرفی 12mW و ناحیه اشغالی 72µm×72µm است.

جدول (۱). خلاصه نتایج و مقایسه آشکارساز پیشنهادی (در دو بخش هسته آشکارساز و کل آشکارساز) با چند کار مشابه اخیر

REF	CMOS Process	نوع معماری	تعداد طبقات پیش تقویت	رنج فرکانسی (GHz)	حساسیت آشکارساز (dBm)	زمان‌های فرازوفرود (ns)	توان مصرفی (mW)	اندازه‌گیری / شبیه‌سازی
[۱۵]	۰/۱۸ µm	هسته آشکارساز	۰	۰/۱ – ۱	-۲۵±۵	NA	۳	اندازه‌گیری
[۵]	۰/۱۸ µm	SDLA	۶	۰/۹ – ۱/۸	-۱۰	NA	۱۶	اندازه‌گیری
[۱]	SiGe BICMOS	SDLA	۵	۰/۱ – ۳	-۱۵	NA	۳۳	اندازه‌گیری
This Work	۰/۱۸ µm	SDLA	۲	۲/۷ – ۳/۹	-۴۵	≤۱/۲	۲۱۶*	شبیه‌سازی
This Work	۰/۱۸ µm	هسته آشکارساز	۰	۰/۱ – ۱۰	-۲۳/۵±۱/۵	≤۱	۱۲	شبیه‌سازی

* توان مصرفی شامل تقویت‌کننده کم نویز ورودی، تقویت‌کننده میانی، هسته آشکارساز و طبقه خروجی می‌باشد.

۴- نتیجه‌گیری

در این مقاله، یک آشکارساز پهن باند با پاسخ‌های زمانی سریع در تکنولوژی 180nm CMOS معرفی شد. این آشکارساز مبتنی بر روش تقویت‌کننده‌های لگاریتمی آشکارسازی متوالی بوده و جهت نزدیک کردن پاسخ زمانی آشکارساز به یک حالت لگاریتمی از محدودکننده‌های توان RF در خروجی LNA و تقویت‌کننده تفاضلی استفاده شده است. استفاده از محدودکننده‌ها منجر به دستیابی به پاسخ شبه لگاریتمی و بهبود رنج دینامیکی آن به‌اندازه 10 dB نسبت به حالتی است که از محدودکننده استفاده نشده است. همچنین با ترکیب دو نمونه هسته آشکارساز ارائه شده در کارهای قبلی، حساسیت هسته آشکارساز پیشنهادی به‌اندازه 2 dB و رنج فرکانسی آن تا 10 GHz افزایش یافته است. رنج دینامیکی شبه لگاریتمی این آشکارساز 20 dB و حساسیت آن بهتر از 45- dBm در رنج فرکانسی 2.7-3.9 GHz به دست آمده است. همچنین زمان‌های فرازوفرود آشکارساز پیشنهادی کمتر از 1ns است که نسبت به کارهای مشابه قبلی بهبود قابل‌توجهی یافته است.

۵. مراجع

[1] Lakshminarayanan, S. & K. Hofmann, "A wideband RF power detector with− 56 dB sensitivity and 64 dB dynamic range in SiGe BiCMOS technology," in 2017 IEEE International Symposium on Circuits and Systems (ISCAS). 2017.

[2] Holdenried, C.D., "A DC-4-GHz true logarithmic amplifier: theory and implementation," IEEE Journal of Solid-State Circuits, 37(10), pp. 1290-1299, 2002.

[3] Kim, K. & Y. Kwon, "A Broadband Logarithmic Power Detector in 0.13-$\mu $ m CMOS," IEEE microwave and wireless components letters, 23(9), pp. 498-500, 2013.

[4] Wu, J.-W., "A linear-in-dB radio-frequency power detector. in 2011 IEEE MTT-S International Microwave Symposium, 2011.

[5] Shieh, M.-L., "Linear radio frequency power detector," in 2009 Asia Pacific Microwave Conference, 2009.

[6] Chou, C.-C., "A low minimum detectable power, high dynamic range, V-band CMOS millimeter-wave logarithmic power detector," in 2017 IEEE MTT-S International Microwave Symposium (IMS), 2017.

[7] Zhou, Y. & M.Y.-W. Chia, "A low-power ultra-wideband CMOS true RMS power detector. IEEE Transactions on Microwave Theory and Techniques," 56(5), pp. 1052-1058, 2008.

[8] Kiela, K., M. Jurgo, & R. Navickas, "Design of a linear-in-dB power detector in 65nm CMOS technology," Elektronika ir Elektrotechnika, 19(10), pp. 91-94, 2013.

[9] Wu, J.-W., "Closed-loop power control of radio frequency power amplifier module with an on-chip embedded power detector," in 2006 Asia-Pacific Microwave Conference, 2006.

[10] Gertel, E., D.M. Johnson, & M. Kumar, "2-18 GHz logarithmic amplification componentry," in IEEE International Digest on Microwave Symposium, 1990.

[11] Zhou, Y. & M.C.Y. Wah, "A wide band CMOS RF power detector," in 2006 IEEE International Symposium on Circuits and Systems, 2006.

[12] Yong, Z., "A parallel-amplification parallel-summation logarithmic amplifier for UHF RFID reader," in 2009 IEEE 8th International Conference on ASIC, 2009.

[13] Chadwick, P.E, "Advances in logarithmic amplifiers," in 1989 Fifth International Conference on Radio Receivers and Associated Systems, 1990.

[14] Di Alessandro, L., "Robust GaN Successive-Detection Logarithmic Video-Amplifier for EW applications," in 2015 Integrated Nonlinear Microwave and Millimetre-wave Circuits Workshop (INMMiC), 2015.

[15] Park, H., "A CMOS RF power detector using an improved unbalanced source coupled pair," IEICE transactions on electronics, 91(12), pp. 1969-1970, 2008.

[16] Xia, J. & S. Boumaiza, "A novel broadband linear-in-magnitude RF envelope detector with enhanced detection speed and accuracy," IEEE Microwave and Wireless Components Letters, 25(5), pp. 325-327, 2015.

[17] Cha, J., "A highly-linear radio-frequency envelope detector for multi-standard operation," in 2009 IEEE Radio Frequency Integrated Circuits Symposium, 2009.

[18] Zhou, Y., "A novel wide-band envelope detector," in 2008 IEEE Radio Frequency Integrated Circuits Symposium, 2008.

[19] Su, Y.-b., "A Highly Linear Low Power Envelope Detector," in 2019 IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC), 2019.

[20] Im, D., "A CMOS active feedback wideband single-to-differential LNA using inductive shunt-peaking for saw-less SDR receivers," in 2010 IEEE Asian Solid-State Circuits Conference, 2010.

[21] Kimura, K, "A unified analysis of four-quadrant analog multipliers consisting of emitter and source-coupled transistors operable on low supply voltage," IEICE Transactions on Electronics, 76(5), pp. 714-737, 1993.

[22] Kimura, K, "A CMOS logarithmic IF amplifier with unbalanced source-coupled pairs," IEEE Journal of Solid-State Circuits, 28(1), pp. 78-83, 1993.

[23] Nosratinia, A., "High-drive CMOS buffer for large capacitive loads," Electronics letters, 27(12), pp. 1044-1046, 1991.